

А.Ю. Дмитрук, аспірант, І.Г. Прокопенко, д-р. техн. наук
(Національний авіаційний університет, Україна)

Апаратна реалізація адаптивного фільтра для придушення завад у системах виявлення сигналів на FPGA (ПЛИС)

У роботі досліджуються особливості апаратної реалізації адаптивного фільтра на основі FPGA (ПЛИС) для придушення завад у системах виявлення сигналів. Проаналізовано технічні аспекти використання ресурсів FPGA та можливі підходи до реалізації алгоритмів фільтрації.

Особливості реалізації адаптивного фільтра на FPGA.

Вирішення проблеми ефективної компенсації завад є важливим завданням для багатьох радіоелектронних систем виявлення сигналів, зокрема радіолокаційних систем, що функціонують у складних та мінливих завадових умовах. Враховуючи динамічний характер завад, для вирішення цієї задачі особливий інтерес становить використання адаптивних фільтрів, які дозволяють ефективно справлятися із комплексними завадами, що змінюються з часом, шляхом адаптації коефіцієнтів фільтра для зменшення впливу завад [1].

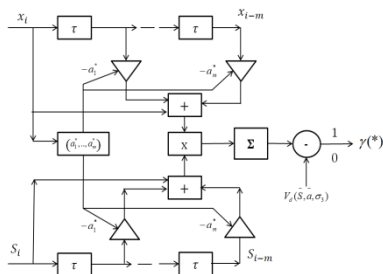


Рис.1. Структурна схема детектора детермінованого сигналу на тлі авторегресійної гаусівської завади.

На Рис.1 наведено структурну схему адаптивного детектора, сформовану на основі синтезу адаптивного алгоритму виявлення [2], що складається з двох ідентичних каналів — двох адаптивних режекторних фільтрів: каналу обробки послідовності значень суміші сигналу та завади $x_i, i = \overline{1, n}$ та каналу послідовності значень сигналу $S_i, i = \overline{1, n}$.

Кожен режекторний фільтр містить елементи затримки на інтервал дискретизації τ , два вагові коефіцієнти a_1^* і a_m^* , які відповідають параметрам завади (визначенні у блоці оцінки коефіцієнтів $(a_1^*, \dots, a_m^*)$), і суматор $+$, який підсумовує дискретні вибірки сигналів після їх обробки.

Адаптивність детектора забезпечується шляхом оцінки параметрів перешкод за синтезованим алгоритмом оцінювання [2].

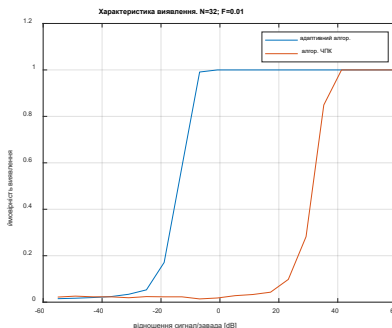


Рис.2. Характеристики виявлення адаптивного алгоритму та алгоритму черезперіодної компенсації при розмірі вибірки $N=32$.

Результати комп'ютерного моделювання роботи адаптивного детектора, наведені на Рис.2, демонструють ефективність його використання при дії інтенсивних завад, що представлені авторегресійним гаусівським процесом. Порівняльний аналіз ефективності характеристик виявлення адаптивного алгоритму та алгоритму черезперіодної компенсації показує, що виграш ефективності виявлення адаптивного детектора досягає понад 15 дБ.

Таким чином значний інтерес викликає можливість апаратної реалізації синтезованих структур, які з урахуванням специфіки задачі та алгоритму можуть ефективно виконуватись на FPGA (програмованих логічних інтегральних схемах), оскільки використання FPGA забезпечує виконання обчислювально складних алгоритмів у реальному часі з високою продуктивністю та гнучкістю [3, 4].

Незважаючи на значні можливості FPGA для реалізації алгоритмів фільтрації, важливим аспектом залишається врахування особливостей архітектури схем, їх проектування, та специфіку визначеного алгоритму фільтрації, його вимоги до ресурсоемності, затримок та точності, що впливає на загальну продуктивність системи.

Один з можливих варіантів реалізації описаного вище адаптивного алгоритму виявлення передбачає побудову багатоканальної системи, де кожен канал використовує попередньо оцінені коефіцієнти для обробки входних сигналів (Рис. 3). Оцінені коефіцієнти адаптивних фільтрів зберігаються в пам'яті FPGA, що забезпечує швидкий доступ до них під час виконання обчислень. Паралельна архітектура FPGA, дозволяє реалізувати систему, що включає необхідну кількість паралельних фільтрів, кожен з яких функціонує на основі своїх унікальних коефіцієнтів, що дозволяє одночасну обробку кількох сигналів.

Важливим етапом роботи системи є вибір оптимального фільтра з набору вихідних сигналів. Цей процес вибору базується на аналізі амплітуд, де пріоритет віддається фільтру, який мінімізує амплітуду перешкод. Така архітектура системи забезпечує високу продуктивність та ефективність в умовах реального часу, дозволяючи одночасно обробляти кілька сигналів, мінімізувати

затримки обчислень і зменшувати вплив перешкод. Крім того, використання паралельних фільтрів з індивідуальними коефіцієнтами дозволяє адаптивно підлаштовуватися під змінні умови середовища.

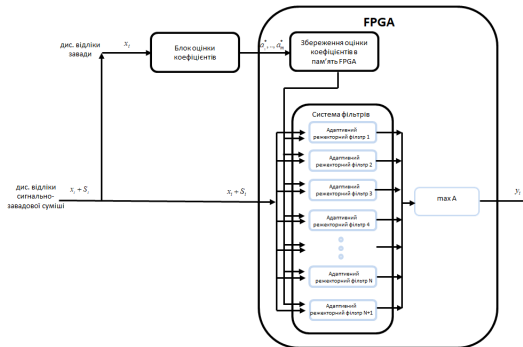


Рис.3. Узагальнена блок-схема реалізації системи адаптивних фільтрів на FPGA.

Враховуючи описану структуру, для реалізації цієї архітектури може бути обрана ПЛІС серії Altera Cyclone IV, зокрема модель EP4CE15F23C8N. Мікросхема містить 15 408 логічних елементів, що надають достатньо ресурсів для ефективної реалізації обчислювальних алгоритмів та паралельної обробки сигналів. Окрім того, 112 DSP-блоків забезпечують виконання високоточних арифметичних операцій, необхідних для фільтрації сигналів. Вбудована пам'ять дозволяє зберігати коефіцієнти адаптивних фільтрів і дані в процесі обробки. Аналізуючи характеристики цієї FPGA, EP4CE15F23C8N може підтримувати реалізацію 8-канальної адаптивної системи виявлення з використанням алгоритмів адаптивних фільтрів 2-го порядку.

Розробка системи виконується в середовищі Intel Quartus Prime, яке надає всі необхідні інструменти для проектування цифрових схем на FPGA. Quartus Prime дозволяє виконувати синтез HDL-коду (Verilog), оптимізацію використання ресурсів, розміщення та трасування логічних елементів на FPGA, а також генерацію програмного файлу для завантаження в пристрій. Це забезпечує ефективний процес розробки та впровадження адаптивних алгоритмів для обробки сигналів на платформі FPGA.

ModelSim, який є інструментом для функціонального моделювання цифрових схем, використовується для моделювання та перевірки поведінки системи. ModelSim дозволяє виконувати покрокове моделювання коду HDL, виявляти та виправляти логічні помилки та аналізувати часові діаграми для перевірки правильності виконання алгоритму. Такий підхід забезпечує високу надійність і мінімізує ризик помилок у кінцевій версії апаратного рішення.

Цей етап важливий для перевірки коректності фільтрів у змодельованих реальних умовах і дозволяє виявити та усунути потенційні помилки. Після

успішного тестування структура записується в пам'ять FPGA, де всі подальші обчислення і перетворення сигналів відбуваються в режимі реального часу.

На Рис.3 та Рис. 4 представлені результати моделювання режекторних фільтрів другого порядку для двох випадків: а) смугового фільтра з коефіцієнтами авторегресії $a_1=1$, $a_2=-1$; б) фільтра нижніх частот з коефіцієнтами авторегресії $a_1=2$, $a_2=-1$.

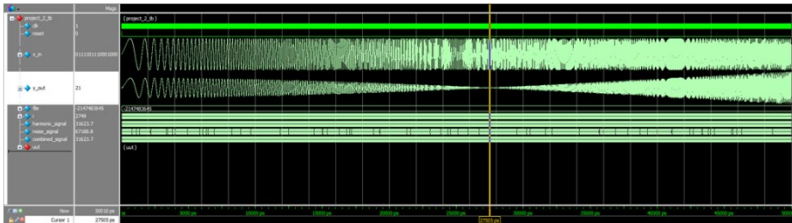


Рис.3. Смуговий фільтр. Коефіцієнти авторегресії $a_1=1$; $a_2=-1$

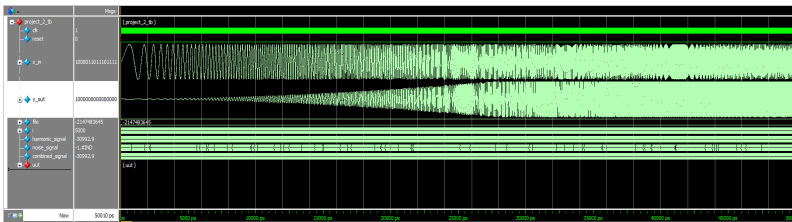


Рис.4. Фільтр низьких частот. Коефіцієнти авторегресії $a_1=2$; $a_2=-1$.

Лінійно частотно-модульований сигнал x_{in} (2-га доріжка зверху) моделювався на вході фільтра. Вихідний сигнал x_{out} є результатом роботи змодельованого смугового фільтра (3-я доріжка зверху). Видно, що зі збільшенням частоти вхідного сигналу амплітуда вихідного сигналу спочатку зменшується, досягаючи мінімуму на частоті режекції, а потім зростає.

При моделюванні фільтра нижніх частот мінімальний коефіцієнт пропускання фільтра виникає при частоті вхідного сигналу 0 Гц. Крім того, зі збільшенням частоти вхідного сигналу x_{in} збільшується амплітуда вихідного сигналу x_{out} .

Висновки. Ефективне придушення завад є критично важливим аспектом для ефективного функціонування сучасних радіоелектронних систем, особливо в умовах інтенсивного завадового тла. Для виявлення корисного сигналу в таких умовах доцільним є розробка та використання адаптивних алгоритми, які здатні динамічно адаптуватися до змінних характеристик середовища.

Ключовим аспектом дослідження є реалізація адаптивного детектора на FPGA. Паралельна архітектура ПЛІС дозволяє розробляти високопродуктивні системи з мінімальною затримкою, що є критично важливим для програм реального часу. Завдяки використанню багатоканальної системи з попередньо

оціненими коефіцієнтами, FPGA може ефективно обробляти вхідні сигнали, забезпечуючи високу надійність і продуктивність.

Список літератури

1. I. G. Prokopenko, F. J. Yanovsky and L. P. Ligthart, "Adaptive algorithms for weather radar," First European Radar Conference, 2004. EURAD., Amsterdam, Netherlands, 2004, pp. 329-332.
2. I.G. Prokopenko, A.Yu. Dmytruk, K.I. Prokopenko "Application of robust algorithms in the problem of detection of moving targets on the background of non-gaussian clutter" Science-based Technologies, № 1, p. 58-66. 2023. doi: <https://doi.org/10.18372/2310-5461.57.17445>.
3. Azim, N. ul . and Jun, W., "FPGA based hardware optimized implementation of signal processing system for LFM pulsed radar", in <i>Society of Photo-Optical Instrumentation Engineers (SPIE) Conference Series</i>, 2016, vol. 10030, Art. no. 100302U. doi:10.1117/12.2247931.
4. Fohl, W., Matthies, J., & Schwarz, B. (2009). A FPGA-BASED ADAPTIVE NOISE CANCELLING SYSTEM.