

DOI: 10.18372/2310-5461.53.16402

УДК 004.274

О. О. Баркалов, д-р техн. наук, проф.
Зеленогурський університет, Польща
orcid.org/0000-0002-4941-3979
e-mail: A.Barkalov@iie.uz.zgora.pl;

Л. О. Титаренко, д-р техн. наук, проф.
Зеленогурський університет, Польща
orcid.org/0000-0001-9558-3322
e-mail: L.Titarenko@iie.uz.zgora.pl;

О. М. Головін, канд. техн. наук
Інститут кібернетики імені В. М. Глушкова НАН України
orcid.org/0000-0002-0279-812X
e-mail: o.m.golovin.1@gmail.com;

О. В. Матвієнко
Інститут кібернетики імені В. М. Глушкова НАН України
orcid.org/0000-0003-1838-1422
e-mail: matv@online.ua;

С. О. Сабурова, канд. техн. наук., доц.
Харківський національний університет радіоелектроніки
orcid.org/0000-0001-6286-1648
e-mail: sabsvet@gmail.com

МЕТОД ЗМЕНШЕННЯ ЧИСЛА ЕЛЕМЕНТІВ LUT В СХЕМІ МІКРОПРОГРАМНОГО АВТОМАТУ МУРА

Вступ

Модель автомата Мура [1; 2] часто використовується для синтезу різних послідовносних блоків цифрових систем [3]. Одним із найважливіших блоків подібних систем є пристрій управління (ПУ) [4], для реалізації схеми якого можна використовувати модель мікропрограмного автомата (МПА) Мура [1]. У разі використанні для реалізації цифрової системи мікросхем FPGA (*field-programmable logic arrays*) [5; 6] виникає потреба у розв'язанні завдань по зменшенню площі схеми, яку займає пристрій управління, а також часу затримки і споживаної потужності. Все це свідчить про актуальність обраного напрямку досліджень.

Аналіз останніх досліджень і публікацій

При проектуванні схеми МПА постає завдання оптимізації характеристик його схеми [7]. До цих характеристик відносять апаратні витрати (площа кристала займана схемою МПА), швидкодія та потужність, що споживається.

Методи вирішення цієї задачі залежать від особливостей МПА та елементного базису. Особливостями МПА Мура є: 1) наявність класів псевдоеквівалентних станів (ПЕС) та 2) відсутність прямої залежності виходів від входів [1].

Особливостями FPGA є: 1) наявність вбудованих блоків пам'яті ЕМБ (*embedded memory blocks*), що конфігуруються, і 2) вкрай обмежена кількість входів елементів табличного типу LUT (*look-up table*) [6; 7].

Із наведеного вище випливає, що *метою* цієї статті є розробка методу для зменшення числа елементів табличного типу в схемі МПА Мура, враховуючи як особливості МПА Мура, так і елементного базису, на якому виконується реалізація пристрою управління цифрової системи.

Синтез МПА Мура в базисі FPGA

У статті пропонується метод оптимізації характеристик схеми МПА, що враховує визначені вище особливості, а також розглядається завдання реалізації схеми МПА Мура у змішаному базисі ЕМБ та LUT. Для синтезу МПА використовується мова граф-схем алгоритму (ГСА) [1].

Автомат Мура характеризується п'ятьма множинами [1]: станів, логічних умов (ЛУ), мікрооперацій (МО), внутрішніх змінних та функцій збудження пам'яті (ФЗП). Стани МПА утворюють множину $A = \{a_1, \dots, a_i\}$, логічні умови — множину $X = \{x_1, \dots, x_L\}$, мікрооперації — множину $Y = \{y_1, \dots, y_N\}$. Для кодування станів

$a_m \in A$ бінарними кодами $K(a_m)$ використовуються внутрішні змінні, мінімальна кількість яких визначається формулою

$$R = \lceil \log_2 M \rceil. \quad (1)$$

Внутрішні змінні утворюють множину $T = \{T_1, \dots, T_R\}$.

Відповідно до теореми про структурну повноту, доведену В. М. Глушковым [8], схема МПА складається з комбінаційної частини та регістру коду станів RG.

Для запису інформації в RG використовуються функції збудження пам'яті, що утворюють безліч $\Phi = \{D_1, \dots, D_R\}$.

Як правило, для реалізації RG у базисі FPGA застосовуються синхронні D-тригери з можливістю обнуління [4]. Для запису кодів RG використовується імпульс синхронізації Clock, для обнуління — одиночний імпульс Start [1].

Схема МПА Мура представляється двома системами булевих функцій (СБФ):

$$\Phi = \Phi(T, X); \quad (2)$$

$$Y = Y(T). \quad (3)$$

Система (2) визначає функцію переходів, а система (3) — функцію виходу автомата Мура [1; 2].

У працях [4; 9] розглядаються методи оптимізації МПА Мура, що ґрунтуються на наявності ПЕС.

Стани $a_m, a_s \in A$ називаються ПЕС, якщо функції переходів цих станів збігаються. Розглянемо ГСА Γ_1 , позначену станами автомата Мура (рис. 1).

Автомат Мура, що відповідає ГСА Γ_1 , має $M = 10$ станів, $L = 6$ логічних умов та $N = 7$ мікрооперацій.

Аналіз ГСА Γ_1 показує, що виходи операторних вершин, позначених станами a_2, a_3 і a_4 , пов'язані з входом однієї і тієї умовної вершини. Отже, переходи цих станів збігаються. Стан $a_2, a_3, a_4 \in A$ є ПЕС.

Аналогічно можна знайти інші три класи ПЕС. Використовуючи визначення ПЕС, можна знайти розбиття $\Pi_A = \{B_1, \dots, B_l\}$ множини A на класи ПЕС.

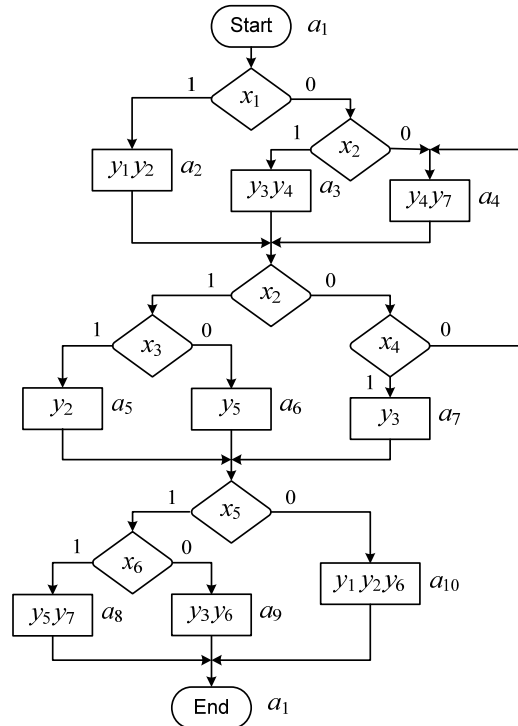


Рис. 1. Позначена ГСА Γ_1

У випадку ГСА Γ_1 маємо: $I = 4$ та $\Pi_A = \{B_1, \dots, B_4\}$, де $B_1 = \{a_1\}$, $B_2 = \{a_2, a_3, a_4\}$, $B_3 = \{a_5, a_6, a_7\}$ та $B_4 = \{a_8, a_9, a_{10}\}$. Для кодування класів ПЕС достатньо R_B змінних, де

$$R_B = \lceil \log_2 I \rceil. \quad (4)$$

Для нашого прикладу маємо $R = 4$, $T = \{T_1, \dots, T_4\}$, $\Phi = \{D_1, \dots, D_4\}$, $R_B = 2$.

Перейдемо до особливостей ресурсів FPGA. Для реалізації схем МПА можна використовувати елементи LUT, блоки EMB, програмовані тригери, програмовані між'єднання та блоки введення-виведення [10; 11]. Елементи LUT з'єднуються із входами тригерів, а блоки EMB мають входи синхронізації. Таким чином, елементи LUT та блоки EMB утворюють структурно повний базис [8].

Елемент LUT має S_L входів та один вихід. Цей елемент включає 2^{S_L} однорозрядних комірок статичної пам'яті. Вибір конкретної комірки здійснюється через систему мультиплексорів [6; 12].

Таким чином, LUT може реалізувати довільну функцію алгебри логіки [1], що залежить не більше ніж від S_L аргументів LUT. З'єднання LUT та тригера утворює логічний елемент (ЛЕ). Вихід ЛЕ може бути комбінаційним (вихід LUT), або регістровим (вихід тригера). Наявність тригерів дозволяє реалізувати розподілені регістри для зберігання кодів станів.

Позначимо блок, що складається з логічних елементів, символом LUTer. Для реалізації СЗФ (2) використовується LUTerT, для реалізації СЗФ (3) — LUTerY. Такий підхід призводить до P автомату Мура (рис. 2), у якому RG розподілений між елементами блоку LUTerT.

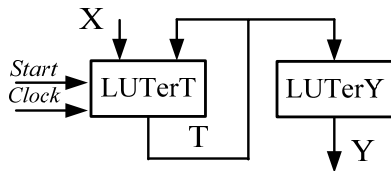


Рис. 2. Структурна схема P МПА Мура в базисі елементів LUT

Основний недолік елементів LUT — обмежена кількість входів: $S_L \leq 6$ [10; 11]. Якщо кількість аргументів реалізованої функції перевищує S_L , то схема має кілька рівнів логіки. Для реалізації багаторівневих схем застосовуються методи функціональної декомпозиції (ФД) [7]. Як відомо, такі схеми є повільними, споживають велику кількість потужності, мають складну систему міжз'єднань [13; 14]. Для поліпшення характеристик блоків LUTerT та LUTerY необхідно зменшувати кількість елементів LUT у схемі МПА.

Один із шляхів поліпшення характеристик схем МПА — використання блоків EMB [5; 6]. Ці блоки характеризуються постійною ємністю (V_0), що визначається кількістю адресних входів (S_A) та виходів (t_F):

$$2^{S_A} \times t_F = V_0. \tag{5}$$

Наприклад, для EMB сімейства Virtex-7 [15] $V_0 = 32$ Кбіт.

Пара $\langle S_A, t_F \rangle$ визначає конфігурацію EMB. Як правило, існують такі конфігурації: $\langle 15, 1 \rangle$, $\langle 14, 2 \rangle$, $\langle 13, 4 \rangle$, $\langle 12, 8 \rangle$, $\langle 11, 16 \rangle$, $\langle 10, 32 \rangle$ і $\langle 9, 64 \rangle$ [10]. Такий широкий спектр конфігурацій свідчить про надзвичайну «гнучкість» блоків EMB.

Один блок EMB може реалізувати СБФ, що складається з більш ніж t_F функцій, що залежать від не більше ніж S_A аргументів. Нехай серед конфігурацій EMB є пара $\langle S_A^0, t_F^0 \rangle$, для якої виконуються наступні умови:

$$S_A^0 \geq L + R; \tag{6}$$

$$t_F^0 \geq N + R. \tag{7}$$

При виконанні (6)–(7) МПА Мура представляється одним блоком EMB (рис. 3).

Схема на рис. 3 має найкращі характеристики серед усіх можливих рішень [7].

Проте навіть для автоматів середньої складності [1], де $L + R \approx 40$, такий підхід призводить до мереж із десятками блоків EMB. При цьому використання EMB стає дуже неефективним.

Якщо умови (6)–(7) порушуються, то схема МПА представляється як мережі блоків EMB і елементів LUT. При цьому частина функцій (2)–(3) реалізується на EMB, а частина — на елементах LUT. Позначимо індексом «E» змінні та функції, пов'язані з блоком EMBer (мережа з блоків EMB), та індексом «L» інші змінні та функції.

На рис. 4 показано схему P МПА Мура [1], що реалізована в змішаному елементному базисі.

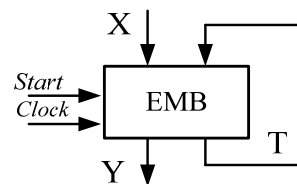


Рис. 3. Тривіальна реалізація P МПА Мура в базисі EMB

У схемі на рис. 4 блок EMBer реалізує СЗФ

$$\Phi_E = \Phi_E(T, X^E); \tag{8}$$

$$Y_E = Y_E(T). \tag{9}$$

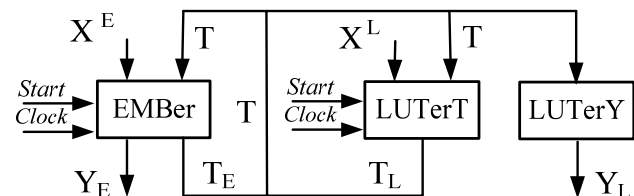


Рис. 4. Структурна схема P МПА Мура у змішаному елементному базисі

Блок LUTerT реалізує СЗФ

$$\Phi_L = \Phi_L(X^L, T), \tag{10}$$

а LUTerY реалізує СЗФ

$$Y_L = Y_L(T). \tag{11}$$

При цьому мають місце такі відносини: $\Phi_E \cap \Phi_L = \emptyset$, $Y_E \cap Y_L = \emptyset$. Однак, цілком можливо, що $X^E \cap X^L \neq \emptyset$.

Якщо виконується умова

$$R > S_L, \tag{12}$$

то схеми блоків LUTerT та LUTerY мають кілька рівнів логіки. Крім того, у розпорядженні розробника ПУ може бути дуже обмежена кількість блоків EMB [13].

У цій статті розглядається ситуація, коли тільки один блок ЕМВ може бути використаний. Крім того, немає такої пари $\langle S_A^0, t_F^0 \rangle$, для якої виконується умова (6).

Основна ідея запропонованого методу

Нехай для деякого автомата Мура знайдені безліч станів A і розбиття Π_A , що має I блоків. Позначимо символом M_i число станів у класі $B_i \in \Pi_A$. Нехай для певної пари $\langle S_A^0, t_F^0 \rangle$ виконуються такі умови:

$$S_A^0 = L + R; \tag{13}$$

$$t_F^0 < R. \tag{14}$$

У цьому випадку множина Φ розбивається на множини Φ_E і Φ_L . Для реалізації схеми МПА, що включає тільки один блок ЕМВ, необхідно використовувати модель U_1 (рис. 5).

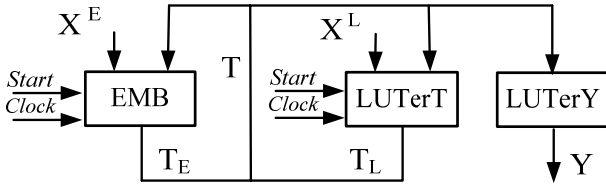


Рис. 5. Структурна схема МПА Мура U_1

Недоліки моделі U_1 є очевидними. По-перше, частина ФЗП реалізується блоком LUTerT, схема якого може мати кілька рівнів. По-друге, множина $Y_E = \emptyset$, а множина $Y_L = Y$. При цьому блок LUTerY має більше елементів LUT, ніж у випадку еквівалентного МПА (див. рис. 4).

Ми пропонуємо такий підхід. Закодуємо класи $B_i \in \Pi_A$ двійковими кодами $K(B_i)$, що мають R_B розрядів. Розрядність кодів класів визначається формулою (4). Закодуємо стани $a_m \in B_i$ кодами $C(a_m)$, що мають R_i розрядів, де

$$R_i = \lceil \log_2 M_i \rceil \quad (i = \overline{1, I}). \tag{15}$$

Представимо код $K(a_m)$ як конкатенації кодів $K(B_i)$ і $C(a_m)$, де $a_m \in B_i$:

$$K(a_m) = K(B_i) \cdot C(a_m). \tag{16}$$

Для кодування класів та станів використовується множина $T = \{T_1, \dots, T_{R_A}\}$. Перші R_B змінних $T_r \in T$ кодують класи ПЕС. Для кодування станів як елементів класів ПЕС використовуються R_0 змінних, де

$$R_0 = \max(R_1, \dots, R_I). \tag{17}$$

Множина T складається з R_A елементів, де

$$R_A = R_B + R_0. \tag{18}$$

Нехай для певної пари $\langle S_A^0, t_F^0 \rangle$ виконується умова

$$(S_A^0 = R_B + L) \wedge (t_F^0 \geq R_A) = 1. \tag{19}$$

У такому випадку пропонуємо модель U_2 (рис. 6).

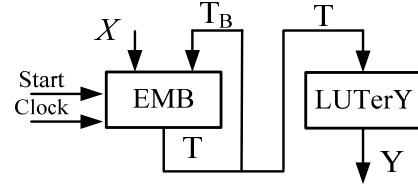


Рис. 6. Структурна схема МПА Мура U_2

В МПА U_2 блок ЕМВ формує СБФ

$$\Phi = \Phi(T_B, X). \tag{20}$$

Блок LUTerY реалізує СБФ (3). Множина $T_B \subset T$ має R_B змінних, що кодують класи $B_i \in \Pi_A$. Цей підхід найбільш ефективний, якщо

$$R_A \leq S_L. \tag{21}$$

У такому випадку LUTerY складається максимум з N елементів LUT.

У цій статті пропонується синтез МПА U_2 на основі ГСА Γ . Метод включає такі етапи:

- 1) Формування множини станів A по ГСА Γ .
- 2) Формування розбиття $\Pi_A = \{B_1, \dots, B_I\}$.
- 3) Кодування класів $B_i \in \Pi_A$ та станів $a_m \in A$.
- 4) Формування СБФ (3) для блока LUTerY.
- 5) Формування прямої структурної таблиці (ПСТ) автомата U_2 .
- 6) Реалізація схеми МПА з використанням блока ЕМВ та елементів LUT даної мікросхеми FPGA.

Розглянемо приклад синтезу МПА $U_2(\Gamma_1)$, де $U_i(\Gamma_j)$ означає, що схема МПА Мура має модель U_i і синтезується по ГСА Γ_j .

Приклад синтезу МПА $U_2(\Gamma_1)$

Нехай для реалізації схеми МПА $U_2(\Gamma_1)$ використовуються елементи LUT з $S_L = 3$. Нехай у розпорядженні розробника є один блок ЕМВ з конфігураціями $\langle 10, 1 \rangle, \langle 9, 2 \rangle, \langle 8, 4 \rangle$ і $\langle 7, 8 \rangle$.

Для прикладу маємо: $A = \{a_1, \dots, a_{10}\}$,

$\Pi_A = \{B_1, \dots, B_4\}$, $B_1 = \{a_1\}$, $B_2 = \{a_2, a_3, a_4\}$, $B_3 = \{a_5, a_6, a_7\}$, $B_4 = \{a_8, a_9, a_{10}\}$. Із виразу (4) маємо $R_B = 2$, $T_B = \{T_1, T_2\}$.

Аналіз класів $B_i \in \Pi_A$ дозволяє визначити наступне: $M_1 = 1$, $M_2 = M_3 = M_4 = 3$. Із виразу (15) маємо $R_1 = 0$, $R_2 = R_3 = R_4 = 2$, а на підставі формули (17) отримаємо $R_0 = 2$.

Таким чином, із формули (18) маємо $R_A = 4$ та $T = \{T_1, \dots, T_4\}$. Для кодування класів використовуємо змінні $T_1, T_2 \in T$, для кодування станів — T_3 і T_4 .

Закодуємо класи $B_i \in \Pi_A$ тривіальним чином:

$$K(B_1) = 00, \dots, K(B_4) = 11, \text{ а стани } a_m \in B_i:$$

$$C(a_1) = C(a_2) = C(a_5) = C(a_8) = 00,$$

$$C(a_3) = C(a_6) = C(a_9) = 01 \text{ і}$$

$$C(a_4) = C(a_7) = C(a_{10}) = 10.$$

Коди $K(a_m)$, що представлені виразом (18), показані картою Карно на рис. 7.

		T_1T_2			
	T_3T_4	00	01	11	10
00		a_1	a_2	a_8	a_5
01		*	a_3	a_9	a_6
11		*	*	*	*
10		*	a_4	a_{10}	a_7

Рис. 7. Кодування станів і класів для МПА $U_2(\Gamma_1)$

Аналіз ГСА Γ_1 дозволяє отримати таку СБФ:

$$y_1 = A_2 \vee A_{10}; y_2 = A_2 \vee A_5 \vee A_{10}; y_3 = A_3 \vee A_7 \vee A_9;$$

$$y_4 = A_3 \vee A_4; y_5 = A_6 \vee A_8; y_6 = A_9 \vee A_{10};$$

$$y_7 = A_4 \vee A_8. \quad (22)$$

Аналіз кодів, представлених на рис. 7, показує, що кожна з функцій (22) залежить від R_A змінних $T_r \in T$.

Це означає, що блок LUTerY має два рівні елементів LUT, оскільки умова (21) порушується.

Для мінімізації функцій (3) можна змінювати положення стану $a_m \in B_i$ всередині області карти Карно, відведеної для класу $B_i \in \Pi_A$. Розглянемо варіант кодування, представлений на рис. 8.

		T_1T_2			
	T_3T_4	00	01	11	10
00		a_1	*	*	*
01		*	a_2	a_{10}	a_5
11		*	a_3	a_9	a_7
10		*	a_4	a_8	a_6

Рис. 8. Уточнені коди станів МПА $U_2(\Gamma_1)$

Використовуючи коди (рис. 8), можна отримати таку систему функцій:

$$y_1 = T_2\bar{O}_3; y_2 = \bar{O}_3T_4; y_3 = T_3T_4; y_4 = \bar{O}_1T_3;$$

$$y_5 = T_1\bar{O}_4; y_6 = T_1T_2T_4; y_7 = T_2\bar{T}_4; \quad (23)$$

Як видно з СБФ (23), функція y_6 залежить від трьох змінних, а інші функції залежать від двох змінних.

Тепер блок LUTerY складається з $N = 7$ елементів LUT. Крім того, схема блоку LUTerY має один рівень логіки.

Через це, коди (рис. 8) доцільно використовувати для подальшого процесу синтезу. Перевіримо можливість використання моделі U_2 у нашому випадку. Оскільки $R_B = 2, L = 6$, то достатньо мати $S_A^0 = 8$. Із характеристик ЕМВ випливає, що для $S_A^0 = 8$ маємо $t_F^0 = 4$.

Таким чином, $t_F^0 = R_A$ і достатньо одного блоку ЕМВ для реалізації частини схеми МПА $U_2(\Gamma_1)$, що формує ФВП.

Для формування ПСТ автомата U_2 необхідно побудувати систему узагальнених формул переходу (УФП) [4] для класів $B_i \in \Pi_A$.

Пряма структурна таблиця має стовбці $B_i, K(B_i), a_s, K(a_s), X_h, h$. Коди $K(a_s)$ беруться з карти Карно (рис. 8). Для нашого прикладу маємо наступну систему УФП:

$$B_1 \rightarrow x_1a_2 \vee \bar{o}_1x_2a_3 \vee \bar{o}_1\bar{o}_2a_4;$$

$$B_2 \rightarrow x_2x_3a_5 \vee x_2\bar{o}_3a_6 \vee \bar{o}_2x_4a_7 \vee \bar{o}_2\bar{o}_4a_4; \quad (24)$$

$$B_3 \rightarrow x_5x_6a_8 \vee x_5\bar{x}_6a_9 \vee \bar{x}_5a_{10}; B_4 \rightarrow a_1.$$

Використовуючи систему (24), збудуємо ПСТ (табл. 1). Табл. 1 має $H_0 = 11$ рядків, що відповідає числу термів в системі (24).

Система (20) формується на основі ПСТ МПА U_2 . Однак це має сенс тільки якщо СБФ (21) реалізується на основі елементів LUT. У разі реалізації СБФ (21) на ЕМВ необхідно сформулювати таблицю блоку ЕМВ.

Таблиця блоку ЕМВ має такі рядки:

$$H_0 = 2^{R_B+L} \quad (25)$$

Кожен рядок відповідає комірці пам'яті, що зберігає ФЗП (20).

Табл. 1 має такі стовбці: $B_i, K(B_i), X$, (адреса комірки пам'яті), Φ (вміст комірки), h (номер комірки ($h \in \{1, \dots, H_0\}$)). Переходи з кожного класу $B_i \in \Pi_A$ задаються таблицею ПСТ, що має H_B рядків

$$H_B = 2^L. \quad (26)$$

У прикладі з (25) маємо $H_0 = 256$, і з (26) — $H_B = 64$. У табл. 2 представлено 16 перших рядків табл. 1 блоку ЕМВ МПА $U_2(\Gamma_1)$.

Таблиця 1

ПСТ МПА $U_2(\Gamma_1)$

B_i	$K(B_i)$	a_s	$K(a_s)$	X_h	Φ_h	h
B_1	00	a_2	0101	x_1	$D_2 D_4$	1
		a_3	0111	$\bar{0}_1 x_2$	$D_2 D_3 D_4$	2
		a_4	0110	$\bar{0}_1 \bar{0}_2$	$D_2 D_3$	3
B_2	01	a_5	1001	$x_2 x_3$	$D_1 D_4$	4
		a_6	1010	$x_2 \bar{0}_3$	$D_1 D_3$	5
		a_7	1011	$\bar{0}_2 x_4$	$D_1 D_3 D_4$	6
		a_4	0110	$\bar{0}_2 \bar{0}_4$	$D_2 D_3$	7
B_3	10	a_8	1110	$x_5 x_6$	$D_1 D_2 D_3$	8
		a_9	1111	$x_5 \bar{0}_6$	$D_1 D_2 D_3 D_4$	9
		a_{10}	1101	x_5	$D_1 D_2 D_4$	10
B_4	11	a_1	0000	1	—	11

Таблиця 2

Фрагмент таблиці блоку ЕМВ автомата $U_2(\Gamma_1)$

B_i	$K(B_i)$	X	Φ	h
	$T_1 T_2$	$x_6 x_5 x_4 x_3 x_2 x_1$	$D_1 D_2 D_3 D_4$	
B_1	0 0	0 0 0 0 0 0	0 1 1 0	1
B_1	0 0	0 0 0 0 0 1	0 1 0 1	2
B_1	0 0	0 0 0 0 1 0	0 1 1 1	3
B_1	0 0	0 0 0 0 1 1	0 1 0 1	4
B_1	0 0	0 0 0 1 0 0	0 1 1 0	5
B_1	0 0	0 0 0 1 0 1	0 1 0 1	6
B_1	0 0	0 0 0 1 1 0	0 1 1 1	7
B_1	0 0	0 0 0 1 1 1	0 1 0 1	8
B_1	0 0	0 0 1 0 0 0	0 1 1 0	9
B_1	0 0	0 0 1 0 0 1	0 1 0 1	10
B_1	0 0	0 0 1 0 1 0	0 1 1 1	11
B_1	0 0	0 0 1 0 1 1	0 1 0 1	12
B_1	0 0	0 0 1 1 0 0	0 1 1 0	13
B_1	0 0	0 0 1 1 0 1	0 1 0 1	14
B_1	0 0	0 0 1 1 1 0	0 1 1 1	15
B_1	0 0	0 0 1 1 1 1	0 1 0 1	16

Якщо $x_1 = 1$, то ці рядки таблиці ЕМВ відповідають рядку 1 ПСТ (табл. 1). Це рядки 2, 4, 6, 8, 10, 12, 14, 16. Рядки з $x_1 = 0$ і $x_2 = 1$ відповідають рядку 2 ПСТ.

Це рядки 3, 7, 11, 15. Рядки $x_1 = x_2 = 0$ відповідають рядку 3 ПСТ (табл. 1). Це рядки 1, 5, 9, 13. Інші рядки таблиці блоку ЕМВ формуються аналогічним чином.

Отже, схема МПА $U_2(\Gamma_1)$ складається з одного блоку ЕМВ та семи елементів LUT. Схема показана на рис. 9.

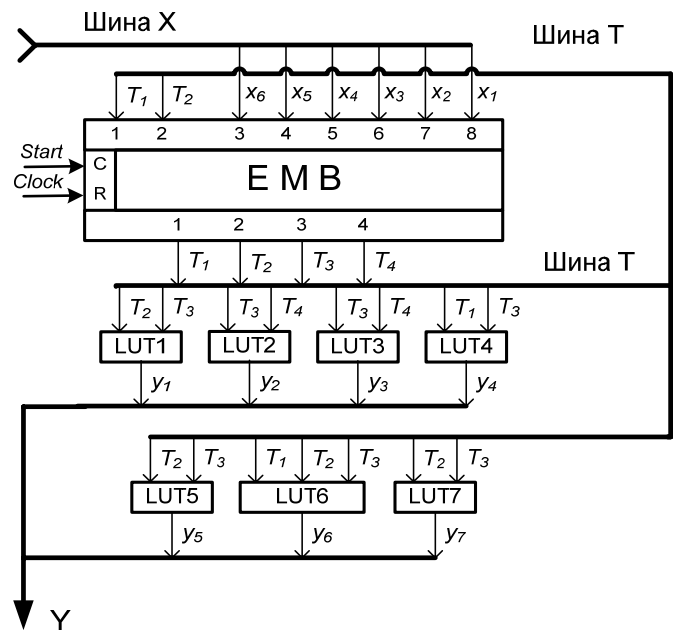


Рис. 9. Уточнені коди станів МПА $U_2(\Gamma_1)$

Кожен елемент LUT представляється таблицею істинності. Наприклад, елемент LUT2 реалізує функцію $y_2 = \vec{0}_3 T_4$, яка є таблицею істинності (табл. 3).

Таблиця 3

Таблиця істинності елемента LUT2

$-T_3 T_4$	y_2	$-T_3 T_4$	y_2
0 0 0	0	1 0 0	0
0 0 1	1	1 0 1	1
0 1 0	0	1 1 0	0
0 1 1	0	1 1 1	0

Принцип формування вмісту LUT2 є очевидним. Подібним чином формуються таблиці істинності для інших елементів LUT.

Останній етап запропонованого методу пов'язаний із застосуванням промислових пакетів, таких як Vivado [16] або Quartus [17]. На цьому етапі проводиться технологічне відображення (*technology mapping*) логічної схеми з використанням ресурсів мікросхеми FPGA. При цьому вирішуються такі складні завдання, як розміщення та трасування, моделювання та визначення характеристик автомата. Ми не розглядаємо цей етап для нашого прикладу.

Висновок

Запропонований у роботі метод доцільно використовувати, якщо розробник схеми ПУ може використовувати лише обмежену кількість блоків ЕМВ. Метод має суттєвий недолік: за наявності вільних виходів ЕМВ немає можливості реалізувати на цьому блоці деякі мікрооперації

$y_n \in Y$. Однак ці виходи можна використовувати для генерації змінних, що кодують набори мікрооперацій. У подальших дослідженнях ми плануємо розробити відповідний метод синтезу.

Як показано у роботі, метод дозволяє оптимізувати системи вихідних функцій $y_n \in Y$. Для цього можлива переустановка кодів станів у межах узагальнених кубів, що представляють класи псевдоеквівалентних станів. Зауважимо, що ефективність такої оптимізації обмежується неможливістю переміщення станів між класами.

У кращому випадку, для еквівалентних автоматів P і U_2 число внутрішніх змінних збігається. Наші дослідження бібліотеки [18] показали, що ця умова виконується для 19 % всіх стандартних автоматів цієї бібліотеки. Зазначимо, що для складних прикладів схема блоку LUTerY є багаторівневою. Ми вважаємо, що цього можна уникнути за рахунок застосування змішаного кодування мікрооперацій [19]. Розробка такого підходу є одним із напрямків наших досліджень.

ЛІТЕРАТУРА

- [1] Baranov S. Logic synthesis for control automata. Dordrecht: Kluwer Academic Publishers, 1994. 312 p. DOI: 10.1007/978-1-4615-2692-6_6
- [2] DeMicheli G. Synthesis and optimization of digital circuits. New York: McGraw-Hill, 1994. 576 p.
- [3] Skliarova I., Sklyarov V., Sudnitson A. Design of FPGA-based circuits using hierarchical finite state machines. Tallinn: TUT Press, 2012. 240 p.
- [4] Sklyarov V., Skliarova I., Barkalov A., Titarenko L. Synthesis and optimization of FPGA-based

- systems. Berlin: Springer, 2014. 432 p. DOI: 10.1007/978-3-319-04708-9
- [5] Grout I. Digital systems design with FPGAs and CPLDs. Amsterdam: Elsevier, 2008. 784 p.
- [6] Maxfield C. The design warrior's guide to FPGAs. Orlando: Academic Press, 2004. 542 p.
- [7] Kubica M., Opara A., Kania D. Technology Mapping for LUT-based FPGA. Berlin: Springer, 2021 DOI: 10.1007/978-3-030-60488-2_1
- [8] Глушков В. М. Синтез цифровых автоматов. М.: Физматгиз, 1962. 476 с.
- [9] Barkalov A.A., Titarenko L. A., Baiev A. V., Matviienko A. V. Joint Use of Methods of Structural Decomposition for Optimizing the Circuit of Moore FSM. *Cybernetics and System Analysis*. 2021. Vol. 57. No 2. pp. 173–184.
- [10] UG473 (v1.14) July 3, 2019. URL: www.xilinx.com. (access date 10.01.2022)
- [11] Intel® FPGAs and Programmable Devices. URL: <https://www.intel.com/content/www/us/en/products/programmable.html> (access date 10.01.2022)
- [12] Kuon I., Tessier R., Rose J. FPGA Architecture: Survey and Challenges. Foundations and Trends in *Electronic Design Automation*. 2008. Vol. 2. No. 2. pp. 135–253. DOI:10.1561/10000000005
- [13] Sass R., Schmidt A. Embedded System Design with platform FPGAs: Principles and Practices. Amsterdam: Morgan Kaufmann Publishers, 2010. 409 pp.
- [14] Barkalov A., Titarenko L., Mielcarek K. Improving characteristics of LUT-based Mealy FSMs. *International Journal of Applied Mathematics and Computer Science*. 2020. 30(4). pp. 745 – 759.
- [15] VC709 Evaluation Board for the Virtex-7 FPGA. User Guide; UG887 (v1.6); Xilinx, Inc.: San Jose, CA, USA, 2019.
- [16] Vivado Design Suite. URL: <https://www.xilinx.com/products/design-tools/vivado.html> (access date 10.01.2022)
- [17] Quartus II, URL: www.intel.com/content/www/us/en/software/programmable/quartus-prime/overview.html (access date 10.01.2022)
- [18] Yang S. Logic synthesis and optimization benchmarks user guide. Version 3.0. Techn. Rep. Microelectronics Center of North Carolina, 1991. 43 p.
- [19] Barkalov, A.; Titarenko, L.; Mielcarek, K.; Chmielewski, S. Logic Synthesis for FPGA-Based Control Units—Structural Decomposition in Logic Design; Lecture Notes in Electrical Engineering; Springer: Berlin/Heidelberg, Germany, 2020; Volume 636.

**Баркалов О. О., Тітаренко Л. О., Головін О. М., Матвієнко О. В., Сабурова С. О.
МЕТОД ЗМЕНШЕННЯ ЧИСЛА ЕЛЕМЕНТІВ LUT В СХЕМІ МІКРОПРОГРАМНОГО АВТОМАТУ МУРА**

У сучасних цифрових системах одним із найважливіших блоків є пристрій управління, який, як правило, має послідовно-структурну структуру. Для реалізації подібних схем часто використовують модель мікропрограмного автомата (МПА) Мура. А при реалізації цифрової системи в базисі мікросхем FPGA на етапі проектування схеми МПА виникає задача оптимізації характеристик його схеми. До цих характеристик відносяться апаратні витрати (площа кристала, займана схемою МПА), швидкодія та потужність, що споживається. Методи вирішення цієї задачі залежать від особливостей МПА та елементного базису. Особливостями МПА Мура є: 1) наявність класів псевдоеквівалентних станів та 2) відсутність прямої залежності виходів від входів. Особливостями FPGA є: 1) наявність вбудованих блоків пам'яті ЕМВ (embedded memory blocks), що конфігуруються, і 2) вкрай обмежена кількість входів елементів табличного типу LUT (look-up table).

Метою даної роботи є розробка методу для зменшення числа елементів табличного типу в схемі МПА Мура, враховуючи як особливості МПА Мура, так і елементного базису, на якому виконується реалізація пристрою управління цифрової системи.

Запропоновано метод оптимізації витрат апаратури в схемі автомата Мура, яка реалізується в змішаному базисі елементів LUT і ЕМВ. Метод заснований на використанні класів псевдоеквівалентних станів автомата Мура і його доцільно використовувати, якщо розробник схеми пристрою управління може використовувати лише обмежену кількість блоків ЕМВ. Запропоновано представити код стану у вигляді конкатенації кодів класів станів і кодів елементів цих класів. Такий підхід зменшує вимоги до числа входів блоку ЕМВ. Показані умови застосування запропонованого методу. Наведено приклад синтезу схеми автомата з застосуванням запропонованого методу.

Ключові слова: мікропрограмний автомат Мура; синтез; FPGA; ЕМВ; LUT; псевдоеквівалентні стани.

Barkalov A., Titarenko L., Matvienko A., Saburova S.

METHOD OF REDUCING THE NUMBER OF LUT ELEMENTS IN THE CIRCUIT OF MOORE FSM

In state-of-art digital systems the control device, which usually has a sequential structure, is one of the most important units. Moore finite state machine (FSM) is often used to implement such schemes. While implementing a digital system based on FPGA chips at the design stage of the FSM circuit there is a problem of optimizing the characteristics of its circuit. These characteristics include hardware costs (semiconductor element area occupied by the FSM circuit), speed, and power consumption. Methods of solving this problem depend on the features of the FSM and the circuitry. The features of the Moore FSM are 1) the presence of classes of pseudo-equivalent states and 2) the absence of direct dependence of outputs on inputs. Features of FPGA are: 1) the presence of embedded memory blocks EMB, that can be configured, and 2) a very limited number of inputs of the table type LUT (look-up table).

This work aims to develop a method for reducing the number of tabular elements in the circuit of Moore FSM, taking into account both the features of the Moore FSM and the circuitry on which the implementation of the digital system control device is realized.

A method for optimizing the cost of equipment in the circuit of the Moore FSM, which is implemented on a mixed basis of LUT and EMB elements, is proposed. The method is based on the use of classes of pseudo-equivalent states of the Moore FSM and it is advisable to use it if the developer of the circuit of the control device can use only a limited number of EMB blocks. It is proposed to present the state code in the form of a concatenation of state class codes and element codes of these classes. Such an approach reduces requirements for the number of EMB inputs. The conditions of application of the proposed method are shown. An example of the synthesis of the circuit of the FSM using the proposed method is given.

Keywords: Moore FSM; synthesis; FPGA; EMB; LUT; pseudo equivalent states.

Стаття надійшла до редакції 19.01.2022 р.
Прийнято до друку 13.04.2022 р.