

УДК 004.2

Жабин В. И., д-р техн. наук
Ковалев Н. А.

МЕТОД ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ КВАЗИПАРАЛЛЕЛЬНЫХ ОДНОРОДНЫХ ЦИФРОВЫХ ИНТЕГРИРУЮЩИХ СТРУКТУР

Национальный технический университет Украины "КПИ"

Показана возможность ускорения процессов интегрирования в цифровых интегрирующих машинах за счет сокращения числа шагов вычислений благодаря использованию избыточных систем счисления с большим основанием

Введение

Цифровые интегрирующие машины (ЦИМ) находят широкое применение для моделирования высокоскоростных процессов и управления сложными динамическими объектами в реальном времени [1]. ЦИМ являются специализированными многопроцессорными вычислительными системами [2] и служат для решения задач, не содержащих гипертрансцендентных функций. Высокой точностью и быстродействием обладают экстраполяционные параллельные ЦИМ [3], в которых реализуется экстраполяционная разностная схема интегрирования эквивалентной системы уравнений Шеннона с использованием точных формул численного интегрирования по Стилтгесу. Основными арифметическими операциями в таких ЦИМ являются сложение и умножение, которые проводятся над многоразрядными приращениями, представленными, обычно, в формате с фиксированной точкой.

Благодаря использованию однотипных решающих блоков, а также стремительному развитию ПЛИС-технологий, появилась возможность построения ЦИМ в виде однородной цифровой интегрирующей структуры на основе универсальных цифровых интеграторов (ЦИ) и коммутаторов [3, 4]. Такие структуры могут размещаться в одной микросхеме *FPGA* (*Field Programmable Gate Array*) [5], что приводит к повышению их надежности и быстродействия, а также к снижению стоимости [6, 7]. Благодаря наличию развитых средств САПР для *FPGA* упрощается процесс проектирова-

ния и ускоряется выход готовых устройств.

Обычно операционные блоки (ОБ) ЦИМ оперируют с числами по правилам параллельной арифметики. Однако возможно построение ЦИ, выполняющих операции по правилам квазипараллельной арифметики в избыточной двоичной симметричной системе счисления с цифрами $\{-1, 0, 1\}$. В [5] показано, что применение методов квазипараллельной арифметики позволяет улучшить основные технико-экономические характеристики ЦИМ.

Как правило, вычислительный процесс в ЦИМ носит циклический характер. Основной функцией ЦИ является вычисление очередного приращения интеграла Стилтгеса на каждом шаге численного интегрирования, причем, процесс решения эквивалентной системы уравнений Шеннона может включать огромное количество таких итераций. Применение двоичной системы счисления при построении квазипараллельных ЦИМ приводит к большему количеству тактов вычислений для каждой итерации, что увеличивает время вычислений.

В данной работе исследуется возможность уменьшения времени выполнения итераций численного интегрирования за счет использования избыточных систем счисления с большим основанием, причем без существенного изменения других технико-экономических характеристик ЦИ.

Теоретические положения

Известно, что время вычисления функции структурным методом с помощью квазипараллельных ОБ непосредст-

УДК 004.2

Жабин В. И., д-р техн. наук
Ковалев Н. А.

МЕТОД ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ КВАЗИПАРАЛЛЕЛЬНЫХ ОДНОРОДНЫХ ЦИФРОВЫХ ИНТЕГРИРУЮЩИХ СТРУКТУР

Национальный технический университет Украины "КПИ"

Показана возможность ускорения процессов интегрирования в цифровых интегрирующих машинах за счет сокращения числа шагов вычислений благодаря использованию избыточных систем счисления с большим основанием

Введение

Цифровые интегрирующие машины (ЦИМ) находят широкое применение для моделирования высокоскоростных процессов и управления сложными динамическими объектами в реальном времени [1]. ЦИМ являются специализированными многопроцессорными вычислительными системами [2] и служат для решения задач, не содержащих гипертрансцендентных функций. Высокой точностью и быстродействием обладают экстраполяционные параллельные ЦИМ [3], в которых реализуется экстраполяционная разностная схема интегрирования эквивалентной системы уравнений Шеннона с использованием точных формул численного интегрирования по Стилтъесу. Основными арифметическими операциями в таких ЦИМ являются сложение и умножение, которые проводятся над многоразрядными приращениями, представленными, обычно, в формате с фиксированной точкой.

Благодаря использованию однотипных решающих блоков, а также стремительному развитию ПЛИС-технологий, появилась возможность построения ЦИМ в виде однородной цифровой интегрирующей структуры на основе универсальных цифровых интеграторов (ЦИ) и коммутаторов [3, 4]. Такие структуры могут размещаться в одной микросхеме *FPGA (Field Programmable Gate Array)* [5], что приводит к повышению их надежности и быстродействия, а также к снижению стоимости [6, 7]. Благодаря наличию развитых средств САПР для *FPGA* упрощается процесс проектирова-

ния и ускоряется выход готовых устройств.

Обычно операционные блоки (ОБ) ЦИМ оперируют с числами по правилам параллельной арифметики. Однако возможно построение ЦИ, выполняющих операции по правилам квазипараллельной арифметики в избыточной двоичной симметричной системе счисления с цифрами $\{-1, 0, 1\}$. В [5] показано, что применение методов квазипараллельной арифметики позволяет улучшить основные технико-экономические характеристики ЦИМ.

Как правило, вычислительный процесс в ЦИМ носит циклический характер. Основной функцией ЦИ является вычисление очередного приращения интеграла Стилтъеса на каждом шаге численного интегрирования, причем, процесс решения эквивалентной системы уравнений Шеннона может включать огромное количество таких итераций. Применение двоичной системы счисления при построении квазипараллельных ЦИМ приводит к большему количеству тактов вычислений для каждой итерации, что увеличивает время вычислений.

В данной работе исследуется возможность уменьшения времени выполнения итераций численного интегрирования за счет использования избыточных систем счисления с большим основанием, причем без существенного изменения других технико-экономических характеристик ЦИ.

Теоретические положения

Известно, что время вычисления функции структурным методом с помощью квазипараллельных ОБ непосред-

венно зависит от характеристик ярусно-параллельной формы (ЯПФ) графа вычислений [8], в частности, от суммарного времени выполнения t операций, принадлежащих критическому пути. На каждом шаге вычислений в квазипараллельный ОБ вводятся по одному разряду операндов, и с задержкой на небольшое число шагов D_i формируется очередной разряд результата, начиная со старшего. Если неавтономные методы вычислений реализованы в избыточной двоичной симметричной системе счисления с цифрами $\{-1, 0, 1\}$, то общее количество шагов Q для получения всех n двоичных разрядов приращения составит [8]:

$$Q = \sum_{i=1}^t D_i + n - 1. \quad (1)$$

Из (1) очевидно, что количество шагов вычислений, в первую очередь, определяется разрядностью n . Для повышения точности и быстродействия ЦИМ необходимо использовать многоразрядные приращения [3]. Поэтому сокращение количества шагов Q путем простого уменьшения разрядности вычислений неприемлемо.

Отсюда возникает проблема представления обрабатываемых данных меньшим количеством разрядов, но без потери точности. Это может быть достигнуто за счет применения систем счисления с большим основанием, что предполагает меньшее число разрядов для представления чисел по сравнению с двоичной системой счисления.

С учетом простоты аппаратной реализации и возможности использования обычной двоичной аппаратуры целесообразно применять системы счисления с основаниями k , которые удовлетворяют условию

$$k = 2^s, \quad (2)$$

где s — целое и $s \geq 2$. При этом k -е цифры числа должны принимать целые значения в диапазоне $\left\{-\frac{k}{2}, \frac{k}{2}\right\}$. Число, имеющее в двоичной симметричной системе счисления n разрядов, в таких системах счисле-

ния будет иметь в $\left\lceil \frac{n}{s} \right\rceil$ раз меньше разрядов при той же точности представления. Для передачи k -й цифры требуется $(s+1)$ сигнальных линий.

В табл. 1 приведены основные параметры избыточных симметричных систем счисления по основанию k с цифрами $\left\{-\frac{k}{2}, \frac{k}{2}\right\}$, удовлетворяющих условию (2)

и рекомендуемых для построения квазипараллельных ОБ.

Используя такую систему счисления, для получения результата понадобится выполнить $\left(D_i + \left\lceil \frac{n}{s} \right\rceil\right)$ шагов. Тогда выражение (1) для определения количества шагов вычислений примет вид

$$Q = \sum_{i=1}^t D_i + \left\lceil \frac{n}{s} \right\rceil - 1. \quad (3)$$

Величина задержки D_i зависит от алгоритмов выполнения операций в k -х избыточных симметричных системах счисления [8-12]. Задержка формирования старшего разряда результата для сложения и умножения в данном случае не превышает двух циклов. Кроме того, для формул Стилтгеса характерна небольшая величина t . С учетом сказанного из (3) следует, что с увеличением разрядности операндов общее количество шагов вычислений для больших оснований уменьшается почти в s раз.

Однако переход к системе счисления с большим основанием увеличивает аппаратные затраты на построение ЦИ, а также число сигнальных линий для передачи цифр, что очевидно из табл. 1.

Это, в свою очередь, может увеличить длительность шага интегрирования. Поэтому важной задачей является исследование влияния сложности алгоритмов выполнения неавтономных арифметических операций на параметры ЦИМ, реализованной в *FPGA*.

Таблиця 1. Основные характеристики избыточных симметричных систем счисления

Основание системы счисления k	4	8	16
Число k -х разрядов для представления n -разрядного двоичного числа	$\frac{n}{2}$	$\frac{n}{3}$	$\frac{n}{4}$
Число сигнальных линий для представления k -й цифры	3	4	5
Диапазон значений k -х цифр	$\{-2, 2\}$	$\{-4, 4\}$	$\{-8, 8\}$

Экспериментальные исследования

Для анализа эффективности использования разных систем счисления были построены квазипараллельные ЦИ для избыточных систем с основаниями 2, 4, 8 и 16, а также ЦИ параллельного типа. Параллельный ЦИ использует умножители на 2 разряда множителя одновременно и характеризуется оптимальным соотношением быстродействия и аппаратных затрат [13].

Архитектуры всех ЦИ основаны на коммутации ОБ в соответствии с ЯПФ графа вычислений приращения интеграла Стильтеса по формуле квадратичных парабол [3]:

$$\Delta z_{(i+1)} = \Delta y_{q(i+1)}^2 \left(y_{pi} + \frac{1}{12} \Delta y_{pi} \right) + \frac{1}{2} \Delta y_{p(i+1)}^2 \left(\Delta y_{q(i+1)}^2 - \frac{1}{6} \Delta y_{qi} \right) \quad (4)$$

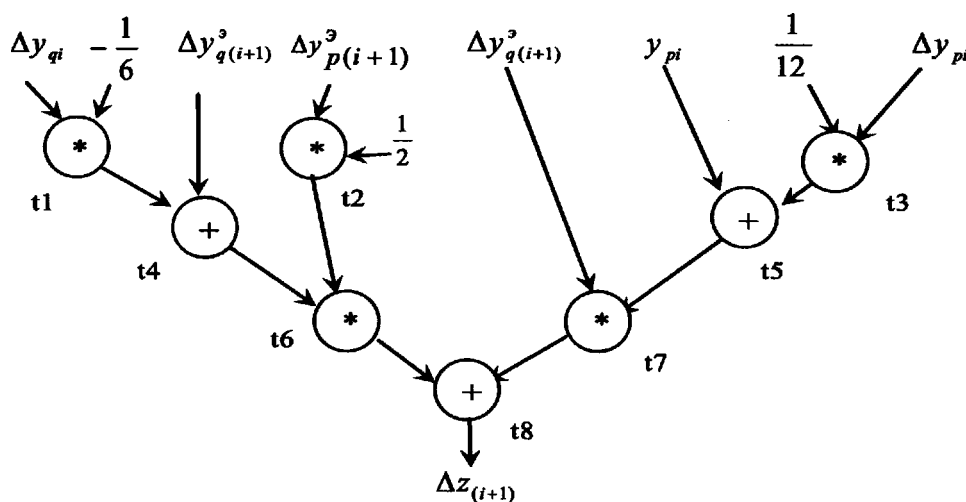


Рис. 1. ЯПФ графа вычисления приращения интеграла Стильтеса по формуле квадратичных парабол

где $\Delta z_{(i+1)}$ – приращение интеграла Стильтеса на $(i+1)$ -м шаге; $\Delta y_{q(i+1)}^2$ – экстраполированное приращение переменной интегрирования для $(i+1)$ -о шага; y_{pi} – значение подынтегральной функции на i -м шаге; $\Delta y_{p(i+1)}^2$ – экстраполированное приращение подынтегральной функции для $(i+1)$ -го шага; Δy_{qi} – приращение переменной интегрирования на i -м шаге; Δy_{pi} – приращение подынтегральной функции на i -м шаге.

На рис. 1 представлена ЯПФ графа вычислений по формуле (4).

На базе семейства *FPGA Altera Stratix II* были реализованы ЦИ различных типов и разрядностей, выполняющие вычисления по формуле (4).

Моделирование и синтез схем проводились с помощью САПР *Mentor Graphics ModelSim SE v. 6.1g* и САПР *Altera Quartus II v.6.1* соответственно. Схемы описывались с помощью языка *VHDL*, а компилятор настраивался на получение минимально ресурсоемкой и максимально компактной реализации схем в кристалле.

На рис. 2 приведена основная часть квазипараллельного ЦИ, использующего избыточную симметричную систему счисления с основанием 8 и цифрами $\{\overline{4,4}\}$, в терминах *RTL*-редактора (*Register Transfer Level*, уровень регистровых передач) САПР *Altera Quartus II v.6.1*.

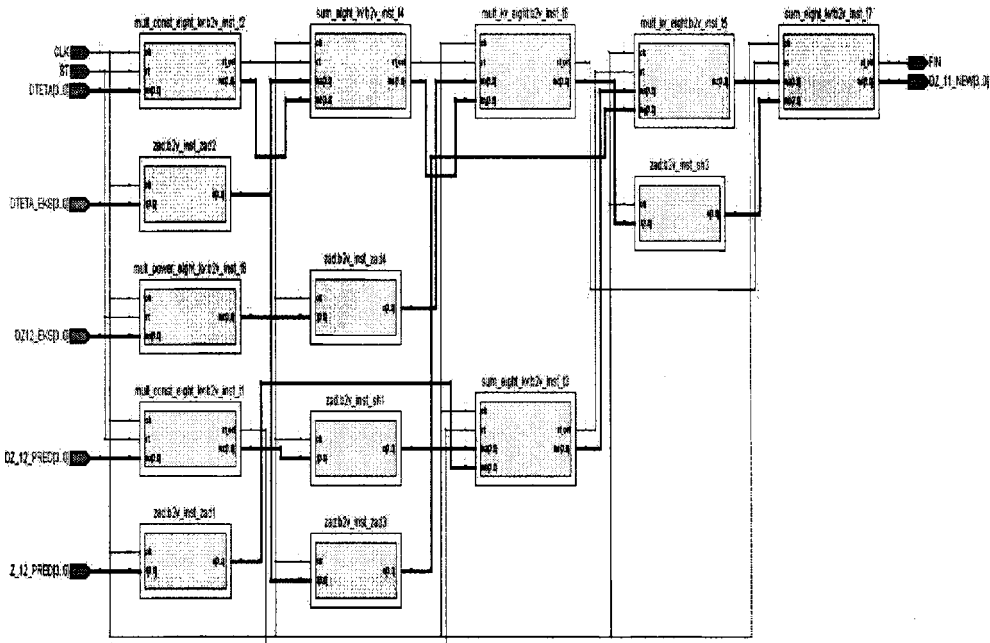


Рис. 2. *RTL*-представление квазипараллельного вычислителя приращения интеграла Стильгеса по формуле квадратичных парабол

Зависимости параметров быстродействия, различной ресурсоемкости и энергопотребления от эквивалентной по точности двоичной разрядности синтезированных ЦИ представлены на рис. 3-8. Кривая 1 соответствует ЦИ параллельного типа. Кривые 2, 3, 4 и 5 представляют характеристики квазипараллельных ЦИ, использующих симметричные избыточные системы счисления с основаниями 2, 4, 8 и 16 соответственно. Полученные зависимости позволяют сделать следующие выводы.

1. Для уменьшения количества тактов в одной итерации численного интегрирования (рис. 3) особенно эффективно использование системы счисления с основанием 4. При этом по сравнению с дво-

ичной системой счисления количество тактов уменьшается почти на 40%. Переход к использованию систем счисления с большим основанием становится менее эффективным. Большинство квазипараллельных ЦИ обеспечивает меньшее число тактов вычисления по сравнению с ЦИ параллельного типа.

2. Переход от использования двоичной системы счисления к 4-й и от 4-й системы счисления к 8-й ведет к уменьшению частоты тактирования на 10-20% (рис. 4). Однако при переходе от 8-й системы счисления к 16-й это уменьшение составляет уже 5-10%. Кроме того, по данному параметру ЦИ параллельного типа имеет преимущество почти перед всеми квазипараллельными ЦИ.

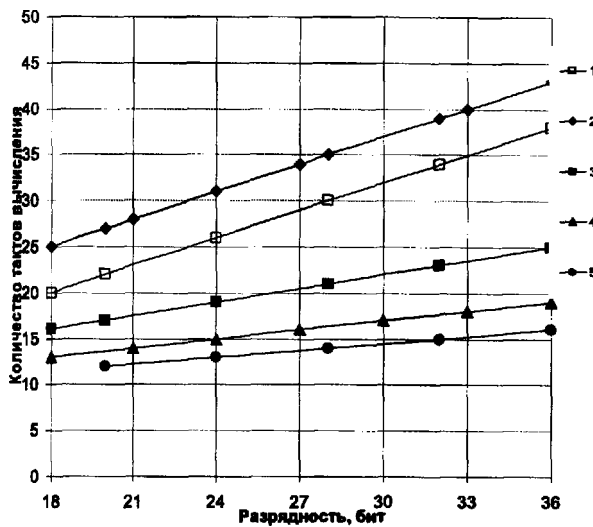


Рис. 3. Количество тактов в одной итерации вычисления приращения интеграла Стилтеса

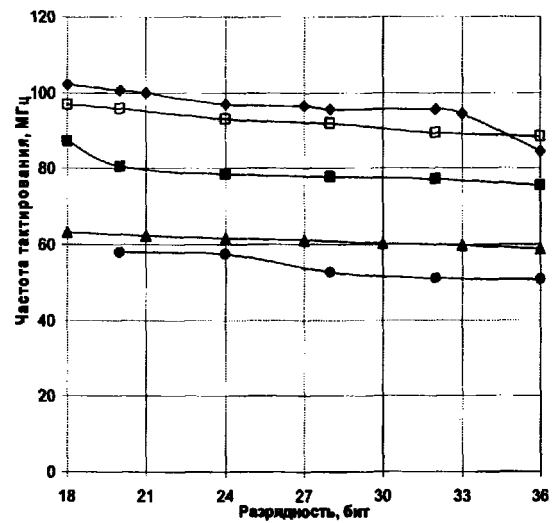


Рис. 4. Максимальная частота тактирования ЦИ

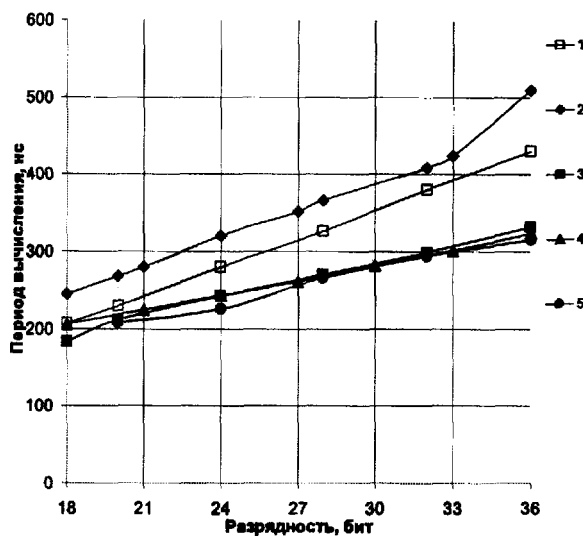


Рис. 5. Период вычислений для одной итерации численного интегрирования

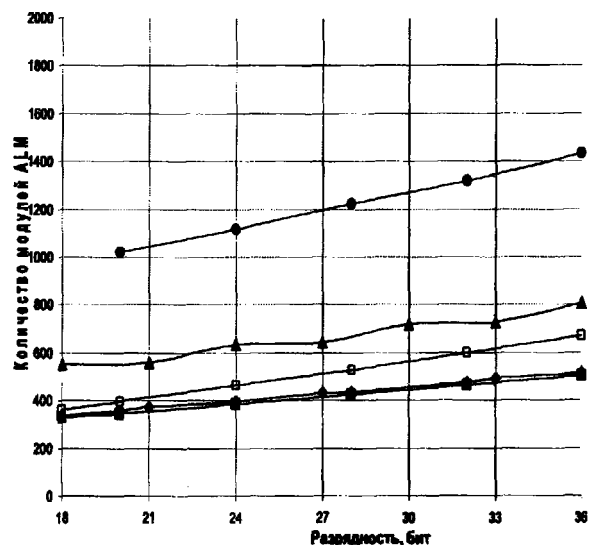


Рис. 6. Использование адаптивных логических модулей ALM

3. Различная эффективность от использования систем счисления по предыдущим двум пунктам приводит к следующему.

Применение в ЦИМ квазипараллельных ЦИ, работающих в 4-й системе счисления, примерно на 35-40% уменьшает абсолютное время вычислений для одной итерации интегрирования по сравнению с 2-й системой счисления (рис. 5). Однако эффект от использования 8-й или 16-й систем счисления практически незаметен. Параллельный ЦИ на 20-25% проигрывает в быстродействии квазипараллельным ЦИ, реализующим вычисления в

2-й, 4-й и 8-й системах счисления. Но на 10% выигрывает у квазипараллельного ЦИ, использующего 16-ю систему счисления.

4. Исходя из логической ресурсоемкости (рис. 6) для построения квазипараллельных ЦИМ эффективно использовать 2-ю и 4-ю системы счисления. Соответствующие ЦИ обладают практически одинаковыми характеристиками ресурсоемкости, превосходя все остальные ЦИ.

Меньшее количество входов/выходов у всех квазипараллельных ЦИ по сравнению с ЦИ параллельного типа (рис. 7) позволяет значительно упро-

стить систему коммутаций между всеми ОБ внутри ЦИМ, причем, по этому параметру среди квазипараллельных ЦИ

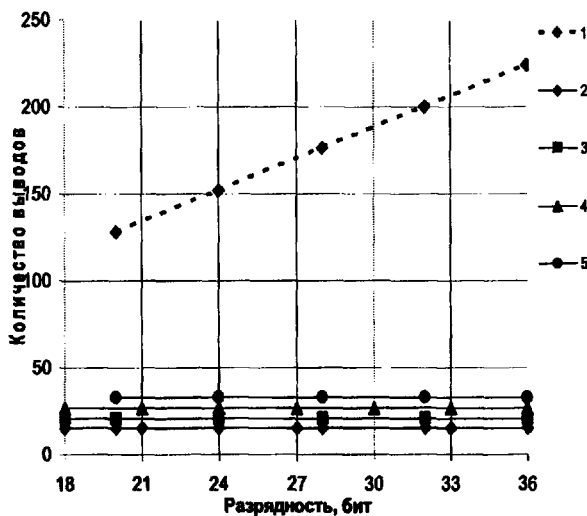


Рис. 7. Количество выводов ЦИ

5. Квазипараллельные ЦИ имеют в среднем на 70% меньшее энергопотребление по сравнению с ЦИ параллельного типа (рис. 8). Причем эти характеристики у всех квазипараллельных ЦИ практически одинаковы.

Выводы

Предложенный подход к повышению эффективности ЦИМ заключается в уменьшении количества тактов вычислений для одной итерации интегрирования благодаря использованию избыточных систем счисления с основаниями k и цифрами $\left\{-\frac{k}{2}, \frac{k}{2}\right\}$. При этом $k = 2^s$, где s — целое и $s \geq 2$.

В результате экспериментальных исследований для рассматриваемых исходных данных установлено, что наиболее оптимальной является 4-я избыточная симметричная система счисления с цифрами $\{-2, \dots, 2\}$. Соответствующий квазипараллельный ЦИ обеспечивает на 35-40% меньшее время выполнения одной итерации численного интегрирования по сравнению с квазипараллельным ЦИ, использующим 2-ю систему счисления, и на 25-30% по сравнению с параллельным ЦИ. При этом параметры их ресурсоемкости и энергопотребления очень близки. Квазипараллельные ЦИ, реализующие

предпочтительнее выглядят ЦИ, которые используют 2-ю и 4-ю системы счисления.

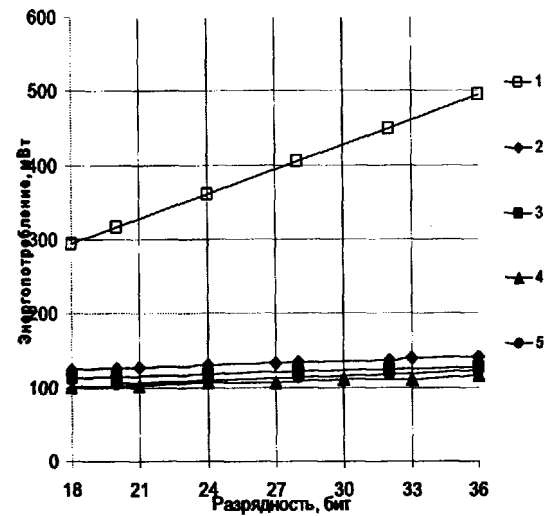


Рис. 8. Параметры энергопотребления ЦИ

неавтономные вычисления в 8-й и 16-й системах счисления, практически не дают дополнительного выигрыша в быстродействии, а их ресурсоемкость и энергопотребление существенно более высокие.

Список литературы

1. Ковалев Н.А., Кравченко Н.И., Стефанович В.Т. Исследование метода реализации баллистического вычислителя на базе FPGA // Артиллерийское и стрелковое вооружение. — 2007. — № 3 (24). — С. 42 — 47.
2. Каляев А.В. Многопроцессорные системы с программируемой архитектурой. — М.: Радио и связь, 1984. — 240 с.
3. Каляев А.В. Теория цифровых интегрирующих машин и структур. — М.: Советское радио, 1970. — 472 с.
4. Гузик В.Ф. Модульные интегрирующие вычислительные структуры. — М.: «Радио и связь», 1984. — 216 с.
5. Жабин В.И., Ковалев Н.А. Реализация цифровых интеграторов на ПЛИС // Проблемы автоматизации и управления. — 2007. — № 1 (19). — С. 50 — 55.
6. Жабин В.И., Ковалев Н.А. Исследование методов построения вычислительных устройств на основе FPGA // Технология и конструирование в электронной аппаратуре. — 2002. — № 2. — С. 35 — 39.

7. *Каляев И.А., Левин И.И.* Высокопроизводительные многопроцессорные вычислительные системы с программируемой архитектурой на основе ПЛИС // Материалы Международной конференции «Моделирование - 2006». – К.: ИПМЭ НАНУ. – 2006. – С. 41 – 46.

8. *Жабин В.И., Корнейчук В.И., Тарасенко В.П.* Некоторые машинные методы вычисления рациональных функций многих переменных // Автоматика и телемеханика. – 1976. – № 12. – С. 145 – 154.

9. *Kishor S. Trivedi, Milos D. Ercegovac.* On-Line Algorithms for Division and Multiplication // IEEE Transactions on Computers. – 1977. – vol. C-26. – № 7 – P. 681 – 687.

10. *Ercegovac Milos D., Lang Tomas.* On-Line Arithmetic Algorithms and Structures for VLSI // CALIFORNIA UNIV LOS ANGELES DEPT OF COMPUTER SCIENCE. Final rept. – 1988. – nov.

11. *P. Montuschi, L. Ciminiera.* Over-Redundant Digit Sets and the Design of Digit-By-Digit Division Units // IEEE Transactions on Computers. – 1994. – vol. 43. – № 3. – P. 269 – 277.

12. *Жабин В.И., Корнейчук В.И., Макаров В.В., Тарасенко В.П.* Влияние точности вычисления на сложность квазипараллельных операционных устройств в мультипроцессорных системах // Автоматика и вычислительная техника. – 1982. – № 3. – С. 29 – 32.

13. *Parhami Behrooz.* Computer Arithmetic: Algorithms and Hardware Designs. – New York: Oxford University Press – 2000. – 490 p.