

УДК 681.325.5

Азаров О.Д., д.т.н.,  
Черняк О.І.

## МЕТОД ПОБІТОВОГО КОНВЕЄРНОГО ДІЛЕННЯ ДОВІЛЬНИХ ФОРМ ПРЯМИХ КОДІВ ЗОЛОТОЇ 1-ПРОПОРЦІЇ

Вінницький національний технічний університет

*Запропоновано метод конвеєрного побітового ділення у системі числення золотої 1-пропорції, що дозволяє зменшити проміжок між послідовними кодами операндів та затримку потоку кодів частки. Запропоновано структурну реалізацію пристрою зі зменшеними апаратними витратами, що реалізує даний метод.*

### Актуальність

Використання системи числення золотої 1-пропорції дозволяє виконувати побітове додавання і віднімання, починаючи зі старших розрядів, за рахунок обмеження довжини перенесення і запозичення. На основі вказаних побітових операцій можна також побітово, починаючи зі старших розрядів, виконувати множення та ділення і таким чином забезпечити виконання усіх арифметичних операцій в єдиному конвеєрному потоці. Побітова обробка забезпечує найменшу кількість ліній інформаційних зв'язків між пристроями. Використання довільних форм прямих кодів золотої 1-пропорції дозволяє зменшити витрати обладнання при побудові пристроїв додавання і віднімання. Тому розробка методу побітового ділення довільних форм прямих кодів золотої 1-пропорції є актуальною задачею.

### Аналіз останніх досліджень

Відомо методи побітового додавання, віднімання і множення у двійковій системі числення, починаючи з молодших розрядів [1]. Побітове ділення у цій системі числення виконується, починаючи зі старших розрядів. Це не дозволяє виконувати всі арифметичні операції в єдиному конвеєрному потоці. Відомо методи побітового виконання даних операцій у мінімізованих формах доповняльних кодів золотої 1-пропорції, починаючи зі старших розрядів [2, 3]. Використання мінімізованих форм та доповняльних кодів призводить до значних витрат обладнання при побудові побітових пристроїв додавання і віднімання через можливість пе-

ренесення у знаковий розряд. Загальний опис методів і алгоритмів побітового конвеєрного виконання арифметичних операцій у довільних формах прямих кодів золотої 1-пропорції наведено у [4, 5]. Відомо пристрій побітового віднімання довільних форм прямих кодів золотої 1-пропорції [6], який має менші витрати обладнання, оскільки не потребує обробки доповняльних кодів. Використання даного пристрою покладене в основу методу побітового ділення, що пропонується у даній статті.

### Постановка задач

Метою статті є опис результатів, отриманих у процесі розробки методу конвеєрного побітового ділення кодів золотої 1-пропорції.

Побітова обробка послідовних кодів золотої пропорції має певні особливості. Запропонований авторами метод побітового ділення принципово відрізняється від відомих тим, що в ньому використовується побітове віднімання довільних форм прямих кодів золотої 1-пропорції. Пристрій, що виконує таке віднімання має менші апаратні витрати у порівнянні з іншими пристроями побітового віднімання даних кодів. При побудові пристрою побітового ділення кількість пристроїв побітового віднімання у ньому залежить від розрядності кодів, що беруть участь в діленні. Ця кількість зростає лінійно в залежності від розрядності операндів. Від кількості пристроїв побітового віднімання та від апаратних витрат на їх реалізацію залежать апаратні витрати пристрою ділення, а також затримка потоку кодів час-

тки відносно потоків кодів діленого і дільника.

Таким чином, при розробці пристроїв побітового конвеєрного множення і ділення кодів золотої 1-пропорції постають такі задачі:

1) розробити метод побітового ділення кодів золотої 1-пропорції з використанням пристроїв побітового віднімання довільних форм прямих кодів;

2) на основі даного методу розробити структурну реалізацію пристрою побітового ділення зі зменшеними апаратними витратами та зменшеною затримкою потоку кодів частки відносно потоків кодів діленого і дільника.

### Метод побітового ділення

При побітовому діленні послідовні коди діленого і дільника поступають, починаючи зі старших розрядів. Послідовний код частки також утворюється, починаючи зі старших розрядів. В основу методу побітового ділення кодів золотої 1-пропорції покладено ділення з відновленням залишку. Нехай потрібно виконати ділення  $Z=X/Y$ . Приведені коди діленого та дільника надходять, починаючи з  $x_{n-1}$  та  $y_{n-1}$ . Побітове ділення складається з  $n$  етапів, на кожному з яких визначається один розряд частки. На нульовому етапі як нульовий код залишку  $X(0)$  використо-

вується код діленого  $X$ , а як нульовий код дільника  $Y(0)$  – дільник  $Y$ , у якого значення старшого розряду дорівнює одиниці. На  $i$ -му етапі використовується черговий код залишку  $X(i)$  і черговий код дільника  $Y(i)$ .  $Y(i)$  утворюється відповідною затримкою попереднього коду дільника  $Y(i-1)$ , що вирівнює його відносно чергового коду залишку та додатково зсуває вправо на один розряд. Крім того, на кожному етапі визначається черговий розряд частки  $z_{n-1-i}$  і наступний код залишку  $X(i+1)$  у такий спосіб: якщо ділене більше або дорівнює дільнику, то черговий розряд частки встановлюється в одиницю, а інакше він встановлюється у нуль. Визначення більшого між черговим залишком і черговим дільником, а також формування наступного коду залишку виконується за допомогою побітового віднімання чергового дільника  $Y(i)$  від чергового залишку  $X(i)$ . Оскільки таке віднімання виконується починаючи зі старших розрядів, то точно визначити черговий розряд частки  $z_{n-1-i}$  у деяких випадках можна лише на останньому такті. В загальному це потребує  $n$  тактів затримки кодів операндів на кожному етапі. Тому використовується приблизне визначення даного розряду через  $k$  тактів після приходу старшої одиниці дільника:

$$z_{n-1-i} = \begin{cases} 1 & \text{при } X(i)_{n-1-k-i}^d - Y(i)_{n-1-k-i}^d > w^{n-1-k-i}; \\ 0 & \text{при } X(i)_{n-1-k-i}^d - Y(i)_{n-1-k-i}^d \leq w^{n-1-k-i}, \end{cases}$$

де  $(d+1)$  – довжина перенесення при побітовому відніманні кодів золотої 1-пропорції.

При такому підході через надлишковість системи числення золотої 1-пропорції може бути  $z_{n-1-i}=0$  навіть при  $X(i)>Y(i)$ , що призводить до похибки визначення розряду частки. Якщо ця похибка не більша  $w^{n-1-i}$ , то завдяки надлишковості на послідуєчих етапах у молодших розрядах відбувається автоматичне випра-

влення даної похибки. Очевидно, що чим більше значення  $k$ , тим менша похибка. Визначимо значення  $k$ , при якому похибка визначення коду частки не більша від одиниці молодшого розряду. На кожному етапі побітового ділення наступний залишок являє собою різницю між черговим залишком і діленим, якщо  $z_{n-1-i}=1$ . Якщо ж  $z_{n-1-i}=0$ , то черговий залишок дорівнює попередньому:

$$X(i+1) = \begin{cases} X(i) & \text{при } z_{n-1-i} = 0; \\ X(i) - Y(i) & \text{при } z_{n-1-i} = 1. \end{cases}$$



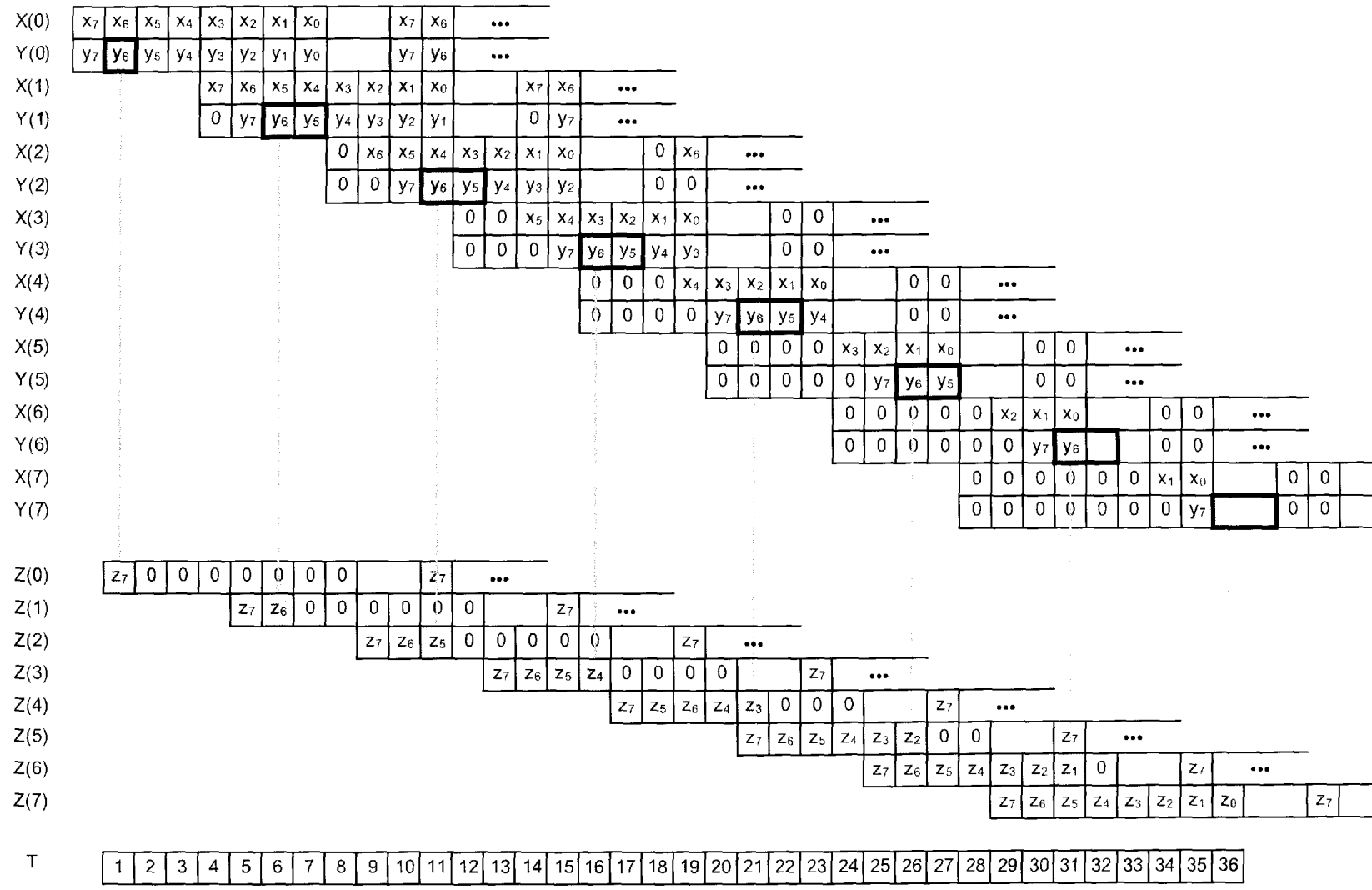


Рис. 1. Діаграма формування коду частки у часі





стан і за допомогою першого двовходового логічного елемента І підтримує цей стан до скидання по входу *R*. З прямого виходу тригера Т2 сигнал поступає на керуючий вхід *V* мультиплексора *MS*. Одиничний сигнал на вході *V* пропускає на вихід мультиплексора *MS* сигнал із входу 1, а нульовий сигнал на вході *V* пропускає на його вихід сигнал із входу 0. На наступному такті після надходження старшої одиниці дільника на другий і третій входи тривходового логічного елемента І поступають одиничні сигнали. З виходу даного елемента на перший вхід логічного елемента АБО поступає сигнал, що має значення чергового розряду частки. За допомогою даного логічного елемента цей сигнал вставляється у послідовний код числа. На останніх двох тактах обробки чергових кодів операндів на вхід СЧ<sub>вх</sub> поступає нульовий сигнал. Цей сигнал поступає на вхід *C* блоку аналізу БА і забороняє врахування у ньому попереднього розряду чергового дільника, що поступає на вхід *Y* даного блоку. Сигнали з входу СЧ<sub>вх</sub>, затримані на два та на три такти та інвертовані, поступають на третій двовходовий елемент І, який формує сигнал, що скидає тригери Т1 і Т2 та встановлює нульове значення молодші розряди чергового проміжного результату у блоці віднімання БВ. Затриманий на два такти сигнал з входу СЧ<sub>вх</sub> за допомогою другого двовходового елемента І встановлює у нульове значення останній розряд чергового дільника.

На рис. 4 представлена структурна організація пристрою побітового ділення кодів золоті 1-пропорції, що складається з *n* блоків розряду частки БРЧ1-БРЧМ. На вхід Т1 подаються тактові імпульси. На входи *X* та *Y* пристрою, починаючи зі старших розрядів, подаються приведені послідовні коди діленого і дільника. Тобто, старший розряд дільника дорівнює одиниці. На вхід СЧ подаються строби закінчення кодів чергових операндів. З виходу *Z* поступає послідовний код частки.

Структурна організація блоку віднімання БВ представлена на рис. 5. Блок

має такі входи: *P*, на який подається сигнал дозволу розгортки; *X*, на який подається послідовний код зменшуваного; *Y*, на який подається послідовний код від'ємника; *C*, на який подаються тактові імпульси; *R*, на який подається сигнал скидання тригерів. Також блок має такі виходи: *S*, з якого поступають три старших розряди чергового проміжного результату; *Z*, з якого поступає послідовний код різниці; *3*, з якого поступає знак різниці. Особливість роботи даного блоку полягає у тому, що розгортка старшого розряду чергового проміжного результату виконується лише при одиничному значенні сигналу на вході *P*.

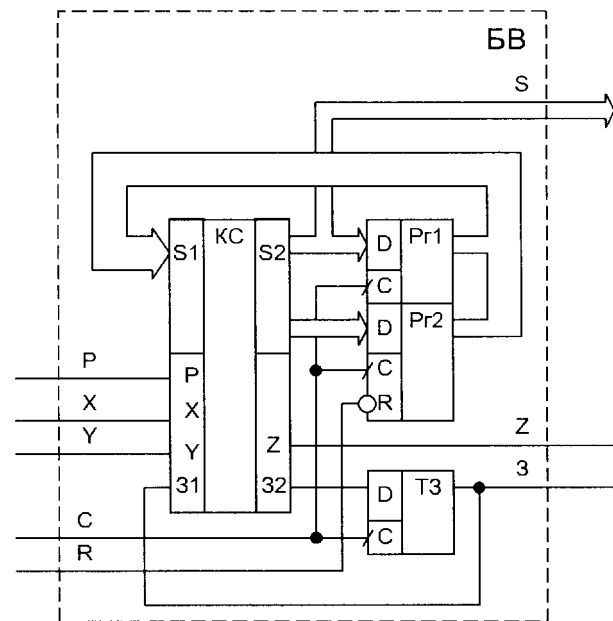


Рис. 5. Структурна організація блоку віднімання

Структурна організація блоку аналізу БА представлена на рис. 6. Блок має такі входи: *3*, на який поступає знак різниці чергового залишку та чергового дільника; *s<sub>3</sub>, s<sub>4</sub>, s<sub>5</sub>*, на які поступають відповідно третій, четвертий і п'ятий розряди чергового проміжного результату; *Y*, на який поступає наступний розряд чергового дільника, та *C*, на який поступає черговий строб числа. Блок реалізує таку логічну функцію:

$$s_5 + s_4 + s_3 \overline{Y}C = \overline{s_5 s_4 s_3} \overline{Y}C3$$

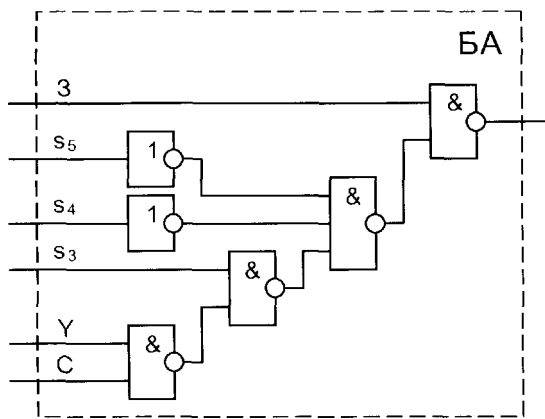


Рис. 6. Структурна організація блоку аналізу

### Висновки

У даній статті описані результати, отримані у процесі розробки алгоритмів побітового ділення послідовних кодів золотої 1-пропорції.

1. Запропоновано метод побітового конвеєрного ділення довільних форм прямих кодів золотої 1-пропорції із врахуванням на кожному такті поточного і наступного розрядів дільника, який дозволяє отримати похибку визначення коду частки не більше одиниці молодшого розряду та проміжком у два такти між кодами операндів.

2. На основі запропонованого методу розроблено структуру пристрою побітового ділення зі зменшеними апаратними витратами та зменшеною затримкою потоку кодів частки відносно потоків кодів діленого і дільника.

### Список літератури

1. Masanori Hariyama, Shota Ishihara, Chang Chia Wei, Michitaka Kameyama, 2007. A Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture. In: IEEE, *Asian Solid-State Circuits Conference*. November 12-14, 2007 / Jeju, Korea. P. 380-383.
2. Додавання і множення в кодах золотої пропорції в порозрядному режимі, починаючи зі старших розрядів / Блінова Т. О. // Вісник НТУУ "КПІ". Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: ВЕК+. – 2008. – № 48. – С. 54-57.
3. Ділення в кодах золотої пропорції в порозрядному режимі, починаючи зі старших розрядів / Блінова Т.О. // Вісник НТУУ "КПІ". Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: ВЕК+. – 2009. – № 50. – С. 86-88.
4. Методи конвеєрної порозрядної обробки послідовних кодів золотої пропорції / Черняк О. І., Азаров О.Д. // Вісник ВПІ. – Вінниця : ВНТУ. – 1996. – № 1-2. – С. 18-22.
5. Алгоритми побітової обробки кодів золотої пропорції / Азаров О.Д., Черняк О.І. // Інформаційні технології та комп'ютерна інженерія. – Вінниця: ВНТУ. – 2006. – № 2(6). С. 28-43.
6. Схемотехнічні основи побітового віднімання кодів золотої пропорції / Азаров О.Д., Черняк О.І. // Вісник ВПІ. – Вінниця: ВНТУ. – 2008. – № 2. – С. 56-60.