

УДК 004.715

Короткий Е.В.,
Лысенко А.Н., д.т.н.

ВЛИЯНИЕ ВИРТУАЛЬНЫХ КАНАЛОВ НА ТРАНСПОРТНУЮ ЗАДЕРЖКУ СЕТИ НА КРИСТАЛЛЕ

Национальный технический университет Украины "КПИ"

Разработана поведенческая модель интегрального маршрутизатора с поддержкой виртуальных каналов (ВК). На ее основе создана модель сети на кристалле (СтнК) с топологией в виде двумерной решетки размерностью 4x4. Исследована зависимость среднего значения транспортной задержки сети от приложенной нагрузки и количества ВК. Показано, что проведение работ в направлении неравномерного распределения числа ВК для разных портов интегрального маршрутизатора является актуальным направлением дальнейших исследований.

Введение

Как показывают исследования [1, 2], объединение компонентов в современных системах на кристалле по принципу общей шины не удовлетворяет возрастающим требованиям к пропускной способности межмодульных связей. Для решения проблемы обмена данными внутри сложных интегральных микросхем (ИМС) предложено использовать концепцию СтнК [3]. Такой подход обладает преимуществами масштабируемости и параллелизма. Общее представление о СтнК можно получить из обзорных работ [4-7].

Использование механизма ВК позволяет уменьшить вероятность блокирования сообщений в СтнК с wormhole управлением [8]. Поскольку пропускная способность физического порта разделяется между использующими его ВК, неконтролируемое увеличение их числа может привести к возрастанию транспортной задержки.

Изложенное выше предопределяет актуальность предлагаемой работы и диктует необходимость исследования влияния числа ВК на транспортную задержку СтнК, что и является целью данной публикации.

Предпосылки к использованию ВК

СтнК имеют ряд отличий от своих макроаналогов вследствие ограничений по

доступным аппаратным ресурсам и потребляемой мощности [4]. Если компонент компьютерной сети может состоять из нескольких микросхем, то в случае СтнК все маршрутизаторы размещаются внутри одной ИМС. Данное обстоятельство затрудняет применение длинных очередей, ввиду чего буферизация целого пакета становится нецелесообразной. Вместо этого используется так называемое wormhole управление, когда пакет разбивается на атомарные единицы управления потоком, т.н. флиты (*flit – flow control unit*), передаваемые непрерывно друг за другом [8]. Флиты продвигаются по мере возможности, не дожидаясь прихода последователей, что обеспечивает низкие требования к объему буферного пространства. При таком подходе возрастает вероятность блокирования головы колонны (БГК), вследствие чего возможно снижение пропускной способности маршрутизатора более чем на 30% [9].

Использование механизма ВК является эффективным способом подавления БГК [10], суть которого заключается в том, что физической линии связи ставится в соответствие несколько очередей, функционирующих параллельно. Для каждого порта определяется механизм доступа к ВК и метод арбитража запросов на прием-передачу. Блокирование одного из ВК не влияет на передачу пакетов через остальные каналы и позволяет избежать увеличения транспортной задержки. В то

же время необходимо принимать во внимание, что пропускная способность физического соединения разделяется между виртуальными каналами порта.

Архитектура интегрального маршрутизатора

В данной публикации предлагается поведенческая модель интегрального маршрутизатора, при разработке которой использованы только синтезируемые конструкции *System Verilog*. Данное обстоятельство должно максимально облегчить последующий переход на вентилярный уровень.

Структурная схема разработанного маршрутизатора содержит P входных портов, каждый из которых включает V ВК (рис.1). Величины P и V являются параметрами модели. ВК на входе подключаются к физическим соединениям на выходе при помощи коммутатора размерностью $P \times P$. В целях экономии аппаратных ресурсов используется только входная *FIFO* буферизация. Гарантированная доставка данных обеспечивается применением механизма кредитов [11].

Алгоритм функционирования маршрутизатора определяется модулем управления и состоит из выполняемых последовательно следующих шагов:

а) помещение данных в ВК. Каждый флит пакета содержит поле *VC_ID* с номером выделенного ему ВК и в момент прихода во входной порт добавляется в очередь соответствующего ВК на основании анализа *VC_ID*;

б) определение порта назначения. Выполняется один раз для всего пакета и в случае успешного завершения данной операции ВК переходит в состояние "Установление соединения". Первые флиты сообщения содержат маршрутную информацию для каждого из промежуточных маршрутизаторов. Из головного флита извлекаются сведения о том, в какой выходной порт (физическое соединение) текущего маршрутизатора перенаправлять приходящие флиты;

в) выделение ВК. Пакету ставится в соответствие один из свободных ВК следующего маршрутизатора (выбранного на предыдущем шаге). В случае успеха полученное значение записывается в поле *VC_ID* всех флитов передаваемого сообщения. Ситуация, когда свободных ВК нет в наличии, приводит к блокированию пакета и запрос повторяется на следующем такте. Поскольку на свободные ВК следующего маршрутизатора могут претендовать каналы различных входных портов, при выполнении операции используется арбитраж. Различные методы арбитража свободных ВК рассмотрены в [11]. Данный шаг выполняется один раз для всего пакета и в случае его успешного завершения связь между ВК через физическое соединение считается установленной. ВК на входе текущего маршрутизатора переходит в состояние "Продвижение пакета";

г) запрос на коммутацию входного ВК с одним из выходов маршрутизатора выполняется для всех флитов сообщения, когда соответствующий ВК находится в состоянии "Продвижение пакета". Операция осуществляется для каждого ВК содержащего данные для передачи, при условии наличия свободного места во входной очереди следующего маршрутизатора (кредитов передатчика). Размерность коммутатора равняется $P \times P$ и не зависит от числа ВК. С одной стороны такой подход несколько повышает вероятность блокирования пакетов, а с другой позволяет синтезировать решения, функционирующие на более высокой частоте [5]. Устройство управления конфигурирует коммутатор для установления связей, выигравших процедуру арбитража. Посылается кредит предыдущему маршрутизатору, информируя его о том, что во входной очереди освободилась единица места. В то же время число кредитов соединения со следующим маршрутизатором декрементируется. Если обрабатывается последний флит пакета, ВК переходит в состояние

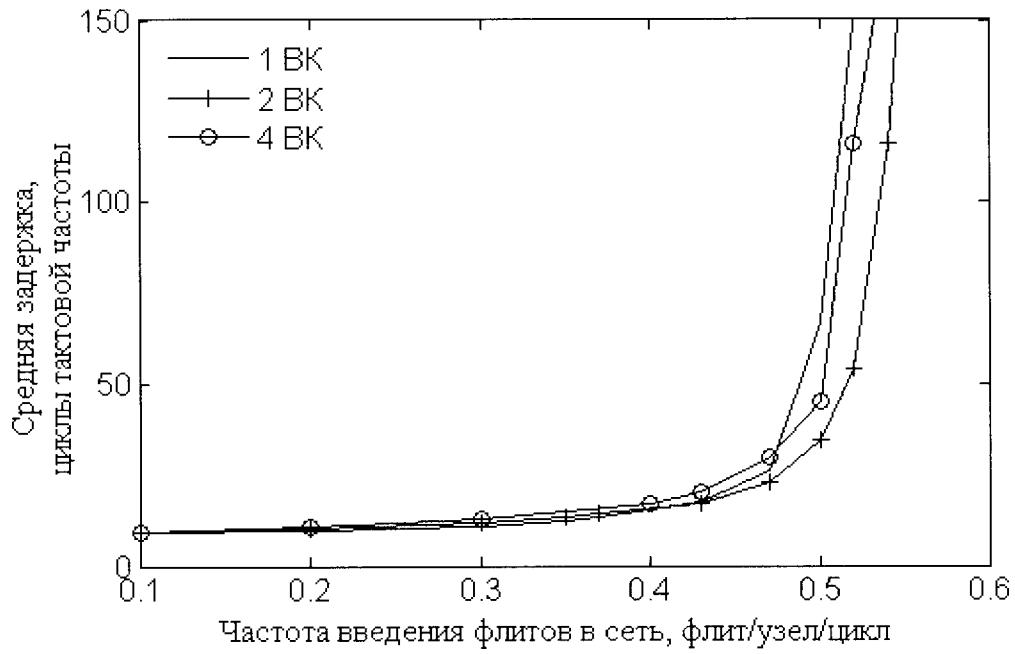
Modelsim 6.5

Core2Duo 1.7 , 1)

Windows

Zxy7-

Cygwin 1.7.7,



. 2.

0.45

(0.53)

wormhole

wormhole

для разработчиков аппаратурных реализаций компонентов СтнК.

Анализ результатов моделирования показал, что увеличение числа ВК для соединений с высокой интенсивностью потока заявок способствует росту порога насыщения сети и снижению транспортной задержки. С другой стороны, неконтролируемое увеличение количества ВК приводит к повышению времени доставки. Ввиду обозначенных особенностей проведение разработок в направлении неравномерного распределения числа ВК для разных портов интегрального маршрутизатора видится актуальным направлением исследований.

Описанная в работе процедура моделирования проводилась для равномерно-случайного пространственного распределения трафика, не характерного для реальных встраиваемых систем. Целью дальнейших исследований является проведение испытаний модели для практических приложений.

Литература

1. Angiolini F., Meloni P., Benini L. A layout-aware analysis of networks-on-chip and traditional interconnects for mpsoes // IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems. – 2007. – Vol.26, №3. – P. 421-434.
 2. Lee H.G., Ogras U.Y., Marculescu R. On-chip communication architecture exploration: A quantitative evaluation of point-to-point, bus and network-on-chip approaches // ACM Transactions on Design Automation of Electronic Systems. – 2007. – Vol.12, №3. – P. 1-20.
 3. Dally W., Towles B. Route packets, not wires: on-chip interconnection networks // Proceedings of the 38th annual Design Automation Conference (June 2001). – Las Vegas, USA. – P. 684-689.
 4. Bjerregaard T., Mahadevan S. A survey of research and practices of network-on-chip // ACM Computing Surveys. – 2006. – Vol.38, №1. – P. 1-51.
 5. Atienza D., Angiolini F., Benini L. Network-On-Chip Design and Synthesis Outlook // Integration The VLSI journal. – 2008. – Vol.41, №3. – P. 340-359.
 6. Marculescu R., Bogdan P. The Chip Is the Network: Toward a Science of Network-on-Chip Design // Foundations and Trends in Electronic Design Automation. – 2009. – Vol.2, №4. – P. 371-461.
 7. Marculescu R., Ogras U. Outstanding Research Problems in NoC Design: System, Microarchitecture and Circuit Perspectives // IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems. – 2009. – Vol.28, №1. – P. 3-21.
 8. Dally W.J. Performance analysis of k-ary n-cube interconnection networks // IEEE Transactions on Computers. – 1990. – Vol.39, №6. – P. 775-785.
 9. Karol M.J., Hluchyj M.G., Morgan S.P. Input Versus Output Queueing on a Space-Division Packet Switch // IEEE Transactions on Communications. – 1987. – Vol.35, №12. – P. 1347-1356.
 10. Dally W.J. Virtual-channel flow control // IEEE Transactions on Parallel and Distributed Systems. – 1992. – Vol.3, №2. – P.194-205.
- Dally W.J., Peh L.S. A Delay Model and Speculative Architecture for Pipelined Routers // in Proc. of 7-th International Symposium of High-Performance Comp. Arch. (20-24 Jan. 2001). – Nuevo Leone, Mexico. – P. 255-266.