

УДК 681.325.5

Азаров О.Д., д-р техн. наук
Черняк О.І.

СТРУКТУРНА ОРГАНІЗАЦІЯ ПОБІТОВОГО МНОЖЕННЯ І ДІЛЕННЯ КОДІВ ЗОЛОТОЇ ПРОПОРЦІЇ

Розглянуто особливості структурної організації та функціонування пристроїв для побітового множення і ділення кодів золотої пропорції. Запропоновано пристрої для побітового множення і ділення зі зменшеними апаратними витратами. Наведено часові діаграми роботи пристроїв.

Вінницький національний технічний університет

Актуальність

При організації розподілених обчислень виникає необхідність реалізації великої кількості інформаційних зв'язків між окремими пристроями. Конвеєрна обробка послідовних кодів чисел дозволяє у десятки разів зменшити кількість інформаційних зв'язків між пристроями без суттєвого зменшення продуктивності. Для цього потрібно організувати порозрядне виконання усіх операцій над послідовними кодами чисел в єдиному конвеєрному потоці. Але у традиційних системах числення порозрядні операції додавання, віднімання і множення виконуються, починаючи з молодших розрядів, а порозрядне ділення – зі старших. Тому у таких системах числення неможливо порозрядно виконувати усі арифметичні операції в єдиному конвеєрному потоці. За рахунок надлишковості коди золотої пропорції дозволяють побітово виконувати усі арифметичні операції, починаючи зі старших розрядів. Це дозволяє створювати на їх основі побітові конвеєри, що мають найменшу кількість інформаційних зв'язків. Крім того, серед усіх можливих систем числення, що дозволяють виконувати побітову конвеєрну обробку, коди золотої пропорції забезпечують найменшу довжину перенесення. Довжина перенесення є визначним чинником, що впливає на апаратні витрати при побудові пристроїв. Тому визначення структурних аспектів побітового множення і ділення кодів золотої пропорції є актуальною задачею.

Аналіз останніх досліджень

Серед відомих надлишкових позиційних систем числення для конвеєрної порозрядної обробки послідовних кодів

чисел найбільш відома знакорозрядна система числення [1,2,3,4]. У попередніх наукових працях авторами запропоновано загальний опис класу систем числення, що дозволяють виконувати порозрядну обробку зі старших розрядів [5]. Вони названі АМ-системами числення. Окремим випадком АМ-систем числення є коди золотої пропорції, описані у [6]. Обґрунтовано, що при побітовому конвеєрному виконанні усіх арифметичних операцій коди золотої пропорції мають найменшу довжину розповсюдження перенесення серед усіх АМ-систем числення. Методи побітового виконання операцій у кодах золотої пропорції описані у [7]. Алгоритми побітового виконання операцій описані в [8]. Пристрої побітового множення і ділення описані в [9] і [10].

Постановка задач

Метою статті є опис результатів, отриманих у процесі розробки пристроїв конвеєрного побітового множення і ділення кодів золотої пропорції.

Побітова обробка послідовних кодів золотої пропорції має певні особливості. Запропоновані авторами пристрої побітового множення і ділення кодів золотої пропорції принципово відрізняються від відомих тим, що в них для виконання побітового множення і ділення використовується побітове додавання і віднімання. Кількість пристроїв побітового додавання і віднімання лінійно залежить від розрядності кодів, що беруть участь у множенні і діленні. Від кількості пристроїв побітового додавання і віднімання та від апаратних витрат на їх реалізацію залежать апаратні витрати пристроїв множення і ділення, а також затримка потоку кодів

частки відносно потоків кодів діленого і дільника у пристрої побітового ділення.

Таким чином, при розробці пристроїв побітового конвеєрного множення і ділення кодів золотої пропорції постають такі задачі:

1. На основі аналізу алгоритму побітового множення розробити структуру пристрою побітового множення зі зменшеними апаратними витратами.

2. На основі аналізу алгоритму ділення розробити структуру пристрою побітового ділення зі зменшеними апаратними витратами та зменшеною затримкою потоку кодів частки відносно потоків кодів діленого і дільника.

Структурна організація побітового множення

Побітове множення послідовних кодів золотої пропорції виконується, починаючи зі старших бітів. Код добутку формується також зі старших бітів. Особливістю запропонованого підходу є невелика фіксована затримка потоку кодів добутків відносно потоку кодів співмножників.

В основі алгоритму виконання такого множення покладено спосіб отримання часткових добутків, починаючи зі старших бітів, у вигляді декількох пар послідовних кодів. Кожна чергова пара кодів утворюється із затримкою на один такт відносно попередньої. Це дозволяє побітово додавати відповідну пару кодів до послідовного коду результату, отриманого при додаванні попередньої пари кодів.

Добуток кодів двох чисел $Z=X \times Y$ можна представити у вигляді суми часткових добутків

$$Z = \sum_{i=0}^{n-1} \sum_{j=0}^{n-1} x_i \cdot y_j \cdot \alpha^{i+j},$$

На першому такті виконується множення над найстаршими бітами множників. На останньому такті – над наймолодшими. У таблиці 1 наведена послідовність формування всіх часткових добутків при побітовому множенні n -розрядних кодів, починаючи зі старших розрядів.

Таблиця 1. Послідовність надходження часткових добутків

	x_{n-1}	x_{n-2}	...	x_1	x_0
y_{n-1}	1	2		$n-1$	n
y_{n-2}	2	2		$n-1$	n
...					
y_1	$n-1$	$n-1$		$n-1$	n
y_0	n	n		n	n

За допомогою n побітових суматорів можна одержати послідовний код добутку розрядністю $2n$, що надходить, починаючи зі старших розрядів. За час, який дорівнює n тактам, старші n розрядів послідовного коду добутку утворюються на виході

$$Z = \sum_{i=1}^n \left(\sum_{j=i}^n (x_{n-i} \cdot y_{n-j} \cdot \alpha^{n-i-j}) + \sum_{j=i+1}^n (x_{n-j} \cdot y_{n-i} \cdot \alpha^{n-i-j}) \right).$$

У таблиці 2 наведено послідовність надходження часткових добутків на входи

першого суматора, молодші n розрядів послідовного коду добутку будуть зберігатися у побітових суматорах. Тому добуток S можна представити у вигляді виразу:

кожного із суматорів у залежності від номера такту.

Таблиця 2. Надходження часткових добутоків у побітові суматори

Номер такту	Номер суматора							
	1	2	3	4	5	...	n-1	N
1	$X_{n-1}Y_{n-1}$							
2	$X_{n-1}Y_{n-2}$ $X_{n-2}Y_{n-1}$	$X_{n-2}Y_{n-2}$						
3	$X_{n-1}Y_{n-3}$ $X_{n-3}Y_{n-1}$	$X_{n-2}Y_{n-3}$ $X_{n-3}Y_{n-2}$	$X_{n-3}Y_{n-3}$					
4	$X_{n-1}Y_{n-4}$ $X_{n-4}Y_{n-1}$	$X_{n-2}Y_{n-4}$ $X_{n-4}Y_{n-2}$	$X_{n-3}Y_{n-4}$ $X_{n-4}Y_{n-3}$	$X_{n-4}Y_{n-4}$				
5	$X_{n-1}Y_{n-5}$ $X_{n-5}Y_{n-1}$	$X_{n-2}Y_{n-5}$ $X_{n-5}Y_{n-2}$	$X_{n-3}Y_{n-5}$ $X_{n-5}Y_{n-3}$	$X_{n-4}Y_{n-5}$ $X_{n-5}Y_{n-4}$	$X_{n-5}Y_{n-5}$			
...								
n-1	$X_{n-1}Y_1$ X_1Y_{n-1}	$X_{n-2}Y_1$ X_1Y_{n-2}	$X_{n-3}Y_1$ X_1Y_{n-3}	$X_{n-4}Y_1$ X_1Y_{n-4}	$X_{n-5}Y_1$ X_1Y_{n-5}		X_1Y_1	
n	$X_{n-1}Y_0$ X_0Y_{n-1}	$X_{n-2}Y_0$ X_0Y_{n-2}	$X_{n-3}Y_0$ X_0Y_{n-3}	$X_{n-4}Y_0$ X_0Y_{n-4}	$X_{n-5}Y_0$ X_0Y_{n-5}		X_1Y_0 X_0Y_1	X_0Y_0

З даної таблиці видно, що на перших входах кожного i -го суматора формується послідовність часткових добутоків, що є результатом логічної операції "І" над $(n-i)$ -м розрядом першого співмножника та черговими, починаючи з $(n-i)$ -го, розрядами другого співмножника. На другому вході кожного з цих суматорів формується послідовність, що є результатом логічної операції "І" над $(n-i)$ -м розрядом другого співмножника та черговими, починаючи з $(n-i-1)$ -го, розрядами першого співмножника.

Формування часткових добутоків на перших входах усіх суматорів пристрою множення можна здійснити за допомогою регістра послідовного наближення, що складається з тригерів-защіпок, та схеми, що подає вхідний сигнал послідовно на кожен з тригерів. Для цього потрібно на послідовний вхід регістра послідовного наближення подавати код першого співмножника. Сигнали з виходів тригерів-защіпок регістра подавати на двовходові схеми "І", на другі входи яких подавати послідовний код другого співмножника. Оскільки значення на виходах тригерів-защіпок з'являється із затримкою на один такт, то код другого співмножника також потрібно подавати із затримкою на один такт. Часткові добутоків на других входах усіх суматорів можна формувати аналогі

чно, але послідовний код другого співмножника не потрібно затримувати на один такт. Для додавання обох часткових добутоків та перенесення від додавання у молодших розрядах потрібно використовувати побітові тривходові суматори. Тривходовий суматор затримує кожний розряд послідовного коду суми на п'ять тактів відносно відповідних розрядів доданків. Тому перенесення від додавання у деякому k -му суматорі можна подати на вхід тільки $(k+5)$ -го суматора. Це означає, що n суматорів потрібно розбити на окремі групи суматорів, у яких суматори розташовані через п'ять. Тобто, потрібно п'ять окремих груп суматорів, у кожній з яких послідовні коди сум з попередніх суматорів поступають на входи наступних суматорів. На виході кожної з груп формується частина суми часткових добутоків. Потрібно ще два тривходових суматора для додавання цих частин. Оскільки код результату утворюється, починаючи зі старших розрядів, то затримка потоку кодів добутоків відносно потоку кодів співмножників складає декілька розрядів і не залежить від розрядності. На рис. 1 представлена функціональна схема пристрою для побітового множення послідовних кодів золоті пропорції з використанням регістрів послідовного наближення і груп суматорів.

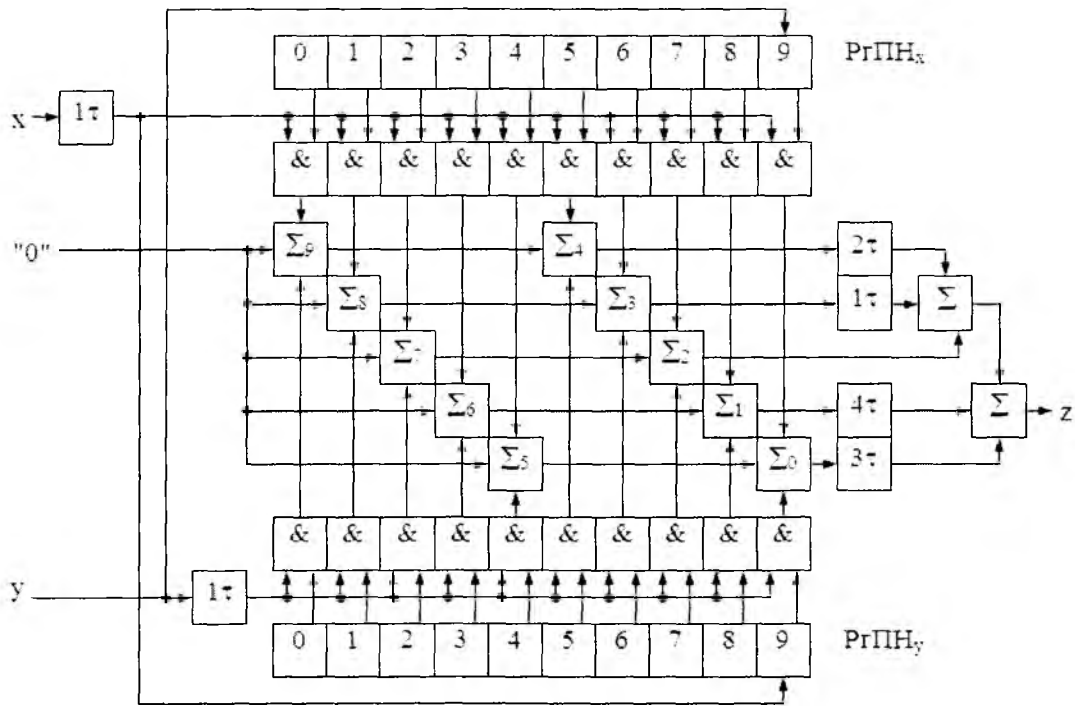


Рис. 1 Структурна схема пристрою побітового множення кодів золотої пропорції

У порівнянні з відомою дана схема має меншу кількість обладнання і більш регулярну структуру. Це досягнуто за рахунок того, що для формування усіх часткових добуток використовуються регістри послідовного наближення. Подальше зменшення апаратних витрат полягає у зменшенні кількості суматорів. В загальному випадку при множенні двох n -розрядних кодів утворюється $2n$ -розрядний код добутку. Для його обчислення потрібно $2n$ побітових суматорів. Будемо вважати, що коди операндів подаються у приведеній формі. Тобто, $X < 1$ і $Y < 1$. Тоді код добутку теж буде у приведеній формі, тобто $Z < 1$. При n -розрядному представленні кодів із $2n$ розрядів добутку потрібно тільки старших n розрядів, у формуванні яких беруть участь не всі побітові суматори. Ці суматори можна не використовувати, що приведе до зменшення апаратних витрат. Для аналізу кількості необхідних суматорів розглянемо процес формування суми часткових добуток. На рис.2 зображено часову діаграму формування сум часткових добуток у групах суматорів для 16-розрядних кодів. На даній діаграмі окремими клітинками зображено часткові добуток. Різноколірні смуги, що утворюють кути позначають часткові добуток, що

утворюються на відповідному такті, номер якого вказано зліва від горизонтальної частини кута. Тонкі сірі відрізки проведені через часткові добуток, що додаються на відповідних суматорах, номери яких вказані у верхній частині діаграми. Товсті вертикальні сірі лінії зображують зв'язки між побітовими суматорами. З аналізу діаграми слідує, що молодший розряд суми з номером 15 формується на виході 15-го суматора на 20-му такті. Після цього ніякі часткові добуток вже не потрібно додавати. Тому суматори з 21-го по 31-й не беруть участі у формуванні добутку. Отже, для виконання побітового множення 16-розрядних чисел замість 32 побітових суматорів достатньо 21. У загальному випадку для побітового множення n -розрядних кодів замість $2n$ потрібно $n+5$ побітових суматорів.

Структурна організація побітового ділення

Побітове ділення послідовних кодів золотої пропорції виконується, починаючи зі старших розрядів. Нехай потрібно виконати ділення $Z = X/Y$, де коди X та Y приведені до нормалізованого виду. Тобто $X < 1$ $Y < 1$. Тоді код частки також буде у нормалізованому виді $Z < 1$. Коди діленого та дільника надходять зі старших розрядів, починаючи з x_{15} та y_{15} . Побітове ді-

лення складається з послідовності n етапів. На кожному i -му етапі визначається черговий розряд частки z_{n-1-i} , код чергового залишку $X(i)$, та код чергового дільника $Y(i)$. Черговий розряд частки z_{n-1-i} визначається за допомогою конвеєрного побітовою віднімання коду чергового дільника від коду чергового залишку. Якщо знак чергового результату віднімання додатний, то черговий розряд частки встановлюється в одиничне значення. При виконанні побітового ділення знак результату віднімання на кожному етапі повинен приймати додатне значення тільки тоді, коли зменшуване більше від'ємника. З алгоритму віднімання відомо, що знак результату встановлюється як мінімум за такт до отримання першого одиничного розряду коду різниці. Тому знак результату віднімання може встановлюватися у довільному місці формату чисел. Будемо визначати знак результату за два такти після віднімання старшого біту дільника. На рис. 3 представлена часова діаграма формування коду частки при діленні восьмирозрядних послідовних кодів кодів золотої пропорції.

Розглянемо перший етап. Якщо на третьому такті віднімання утворився додатний знак, то старший розряд коду частки потрібно встановити в одиничне значення і на другому етапі буде виконуватись побітове віднімання коду залишку $X(1)$ та коду дільника $Y(1)$, затриманого на один такт. Якщо ж на першому етапі віднімання утворився від'ємний знак, у старшому розряді коду частки встановлюється нуль і на другому етапі буде відніматись код діленого $X(0)$ та, затриманий на один такт, код дільника $Y(1)$. На даному етапі ділення послідовних кодів золотої пропорції можливо три випадки.

Якщо $X(0) > Y(0)$ і на третьому такті віднімання утворився додатний знак. У цьому випадку значення розряду частки дорівнює одиниці. Формується послідовний код залишку, який використовується на другому етапі для подальшого віднімання затриманого на один такт коду дільника.

Якщо $X(0) \geq Y(0)$, але на третьому такті віднімання утворився від'ємний

знак. У цьому випадку значення розряду частки дорівнюватиме нулю. У наступному етапі віднімання братимуть участь код діленого $X(0)$ і код дільника $Y(1)$, затриманий на один такт. Це призведе до одиничних значень двох наступних розрядів частки, що в кодах золотої пропорції є ідентичним.

Якщо $X(0) < Y(0)$, то на третьому такті встановиться від'ємний знак. У цьому випадку значення розряду частки дорівнює нулю. У наступному етапі віднімання братимуть участь код діленого $X(0)$ і код дільника $Y(1)$, затриманий на один такт. Аналогічні дії виконуються на кожному етапі. Отже, черговий розряд частки z_{n-1-i} дорівнює одиниці, якщо сума $(n-2-i)$ -го та $(n-1-i)$ -го розрядів коду чергового залишку більша від суми цих розрядів чергового дільника. В іншому випадку $z_{n-1-i} = 0$. Код чергового залишку $X(i)$ на першому етапі побітового ділення дорівнює коду діленого X . На кожному наступному i -му етапі $X(i)$ дорівнює різниці між кодом попереднього залишку $X(i-1)$ та кодом попереднього дільника $Y(i-1)$, якщо попередній розряд частки z_{n-2-i} має одиничне значення. Якщо ж попередній розряд частки z_{n-2-i} має нульове значення, то код чергового залишку $X(i)$ дорівнює коду попереднього залишку $X(i-1)$.

Код чергового дільника $Y(i)$ дорівнює коду попереднього дільника, зсунутого на один розряд вправо. Зсув послідовного коду на один розряд вправо реалізується за допомогою його затримки на один такт. На кожному з етапів побітового ділення визначається черговий код частки $Z(i)$ за допомогою логічної операції "АБО" над зсунутим на три розряди попереднім кодом частки $Z(i-1)$ і черговим розрядом частки z_{n-1-i} . Зсув послідовного коду частки $Z(i)$ виконується шляхом затримки його на три такти. Тому остаточний код частки Z буде затриманим на $3n$ тактів відносно кодів операндів X та Y у порівнянні з $4n$ тактів у відомому пристрої. Структурна схема одного розряду пристрою побітового ділення кодів золотої пропорції подана на рис. 4. За рахунок спрощення схеми формування сигналу чергового розряду частки дана структурна

схема має на три елемента менші апаратні витрати, ніж відома.

Висновки

У даній статті описані результати, отримані у процесі розробки алгоритмів побітового виконання множення та ділення послідовних кодів золотої пропорції.

1. Вперше на основі аналізу алгоритму побітового множення розроблено структуру пристрою побітового множення зі зменшеними апаратними витратами.

2. Вперше на основі аналізу алгоритму ділення розроблено структуру пристрою побітового ділення зі зменшеними апаратними витратами та зменшеною затримкою потоку кодів частки відносно потоків кодів діленого і дільника.

Список літератури

1. *Avizenis A.* Binary-compatible signet-digit arithmetic. IN: AFIPS Conf Proc. – Vol. 26 – P1. – 1964 – P.663.

2. *Самофалов К.Г., Луцкий Г.М.* Основы построения конвейерных ЭВМ.- Киев: Вища школа, 1981. – 234 с.

3. *Каляев А.В.* Многопроцессорные системы с программируемой архитектурой. – М.: Радио и связь, 1984. – 240 с.

4. *Ch. Frougny,* On-line finite automata for addition in some numeration systems. Theoretical Informatics and Applications 33 (1999), 79–101.

5. Системи числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів / *О.Д.Азаров, О.І.Черняк, П.О.Черняк* // Вісник ВПІ. – 2001. - №1. – С. 58-64.

6. *Стахов А.П.* Коды золотой пропорции. – М.: Радио и связь, 1983. – 152с., ил. – (Кибернетика).

7. Методи конвеєрної порозрядної обробки послідовних кодів золотої пропорції / *О.І. Черняк, О.Д. Азаров* // Вісник ВПІ. – 1996. - №1. – С. 14-17.

8. Алгоритмічні основи побітової обробки кодів золотої пропорції / *О.Д. Азаров, О.І. Черняк* // Вісник ВПІ. – 1996. - №1. – С. 14-17.

9. Авторское свидетельство СССР №1444754. Последовательное устройство для умножения. *Стахов О.П., Лужецкий В.А., Черняк А.И., Малиночка В.П., Андреев А.Е.* Опубл. 15. 08. 1988г. Бюл. №46.

10. Деклараційний патент України на корисну модель № 5494. Пристрій для ділення послідовних кодів золотої пропорції / *Азаров О.Д., Черняк О.І.* Опуб. 15.03.2005. Бюл №3.

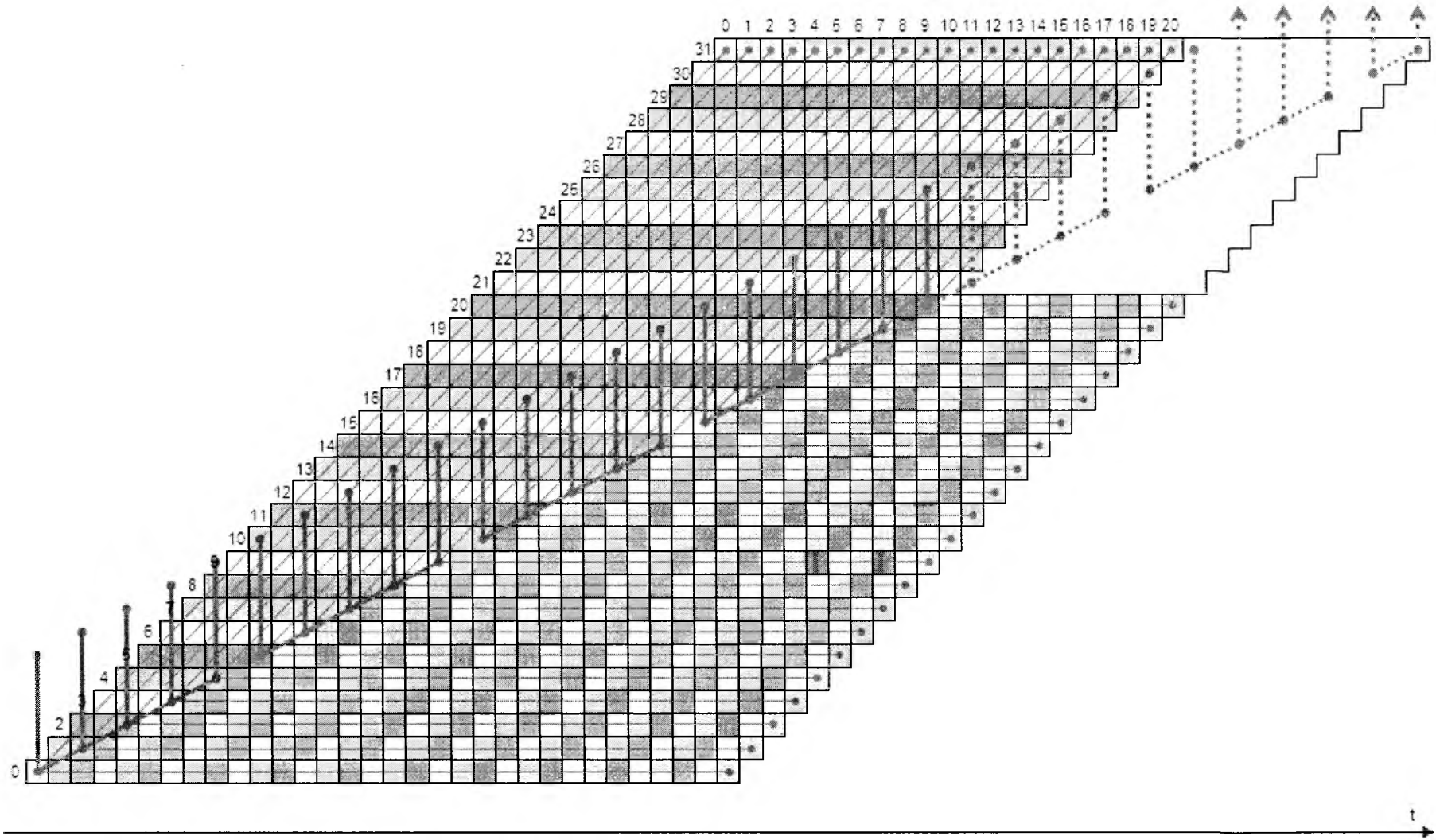


Рис. 2 Часова діаграма формування сум часткових добутків у групах суматорів

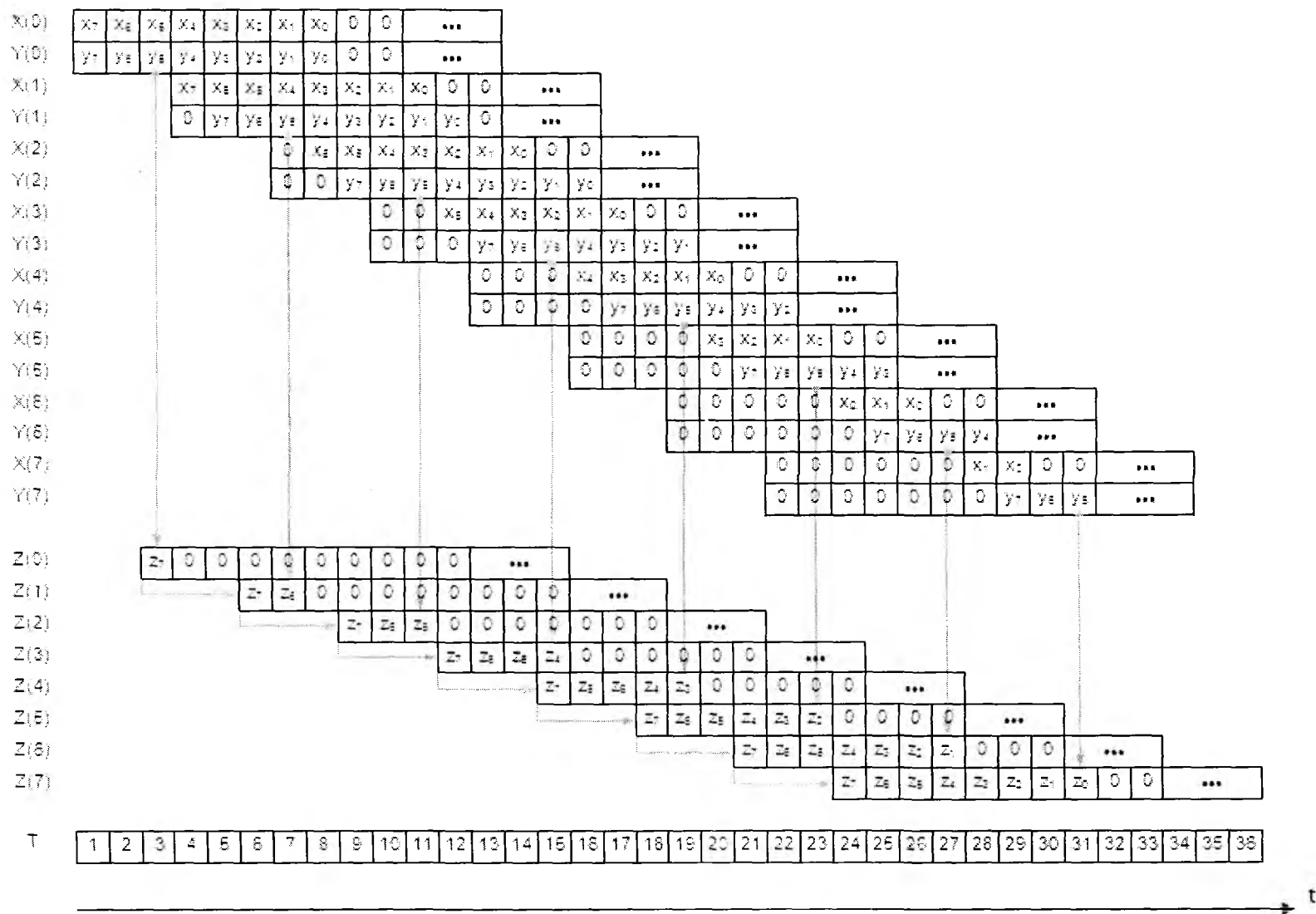


Рис. 3. Часова діаграма формування коду частки при діленні восьмирозрядних послідовних кодів

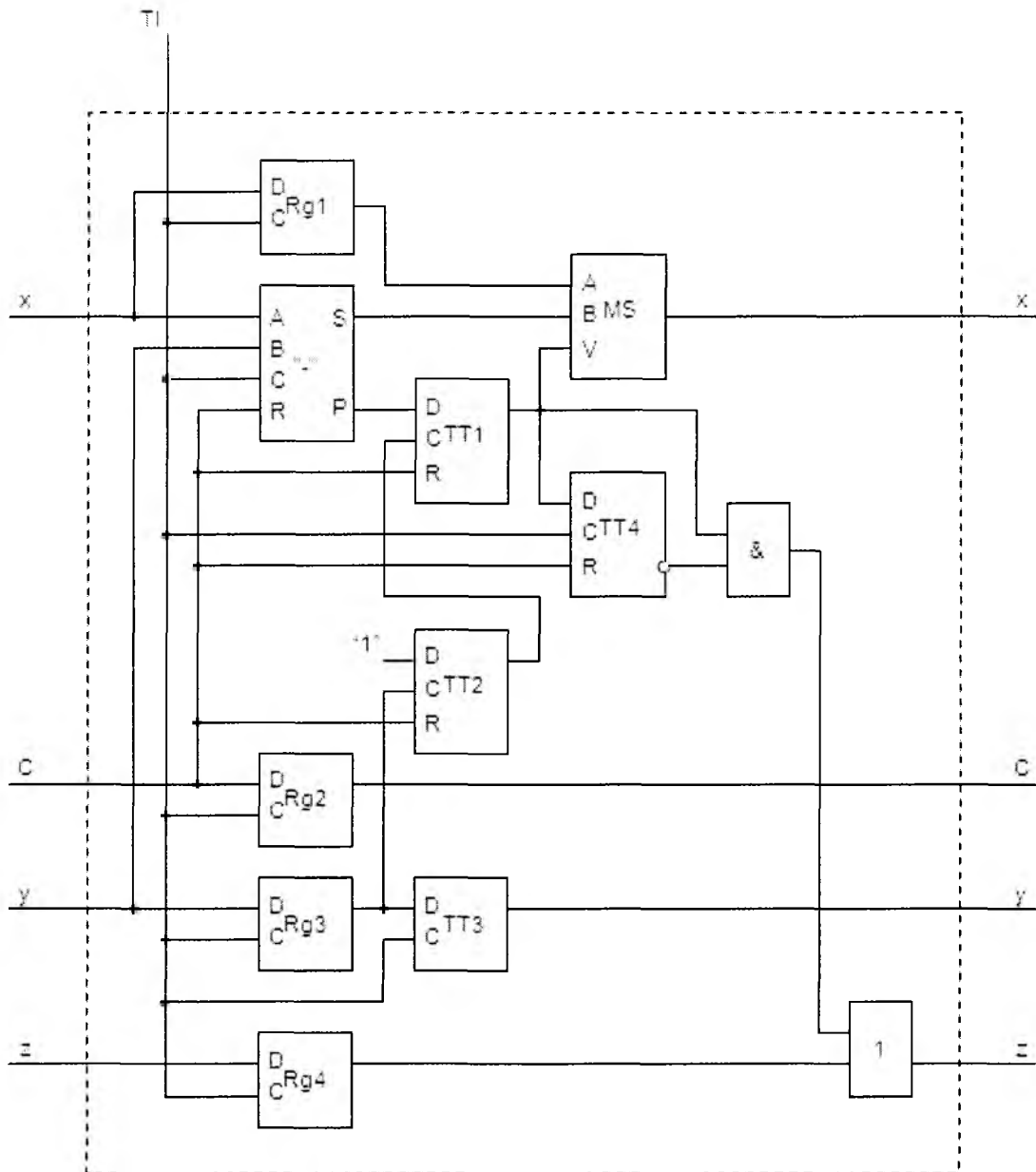


Рис. 4. Структурна схема одного розряду пристрою побітового ділення кодів золоті пропорції