

УДК 681.5

Жабин В.И., д-р техн. наук

РЕАЛИЗАЦИЯ ОПЕРАЦИИ ДЕЛЕНИЯ ПРИ ПОРАЗРЯДНОМ ВВОДЕ И ВЫВОДЕ ИНФОРМАЦИИ

Национальный технический университет Украины "КПИ"

Предложены алгоритмы деления чисел в двоичной симметричной избыточной системе счисления, обеспечивающие совмещение процессов поразрядного ввода операндов, их обработки и поразрядного вывода результата. Рассмотрены способы аппаратурной реализации деления, показана эффективность использования способов для уменьшения времени выполнения последовательностей операций

Введение

При вычислении многоместных выражений (функций) в системах, имеющих несколько операционных устройств, можно распараллелить вычислительный процесс, выполняя одновременно некоторые операции. Однако, в базисе операций с ограниченным числом операндов возникает необходимость использования суперпозиции операций (функций), то есть выполнять последовательности (цепочки) зависимых по данным операций (результат одной операции является операндом для другой), которые нельзя распараллелить на уровне алгоритмов обработки машинных слов.

Эффективным способом ускорения выполнения цепочек операций является применение операционных устройств, работающих в неавтономном (on-line) режиме вычислений [1-3]. На каждом шаге такие устройства принимают (в простейшем случае) по одному разряду операндов и формируют один разряд результата, начиная со старших. Разряд результата, полученный на i -м шаге в одном устройстве может быть использован в качестве разряда операнда в другом устройстве на $(i+1)$ -м шаге. Это позволяет совмещать во времени выполнение последовательностей операций, что создает предпосылки для ускорения вычислений.

Указанный режим работы операционных устройств может быть также эффективно использован при обработке информации, формирующейся поразрядно вне операционного устройства (например, в измерительных приборах), а также

поступающей по последовательным каналам связи. В этом случае возможно совмещение процессов ввода и преобразования информации, что приводит к уменьшению времени формирования результата.

Последовательный ввод и вывод информации при вычислениях в неавтономном режиме упрощает также решение задачи минимизации числа внешних выводов устройств, что особенно важно при их реализации в виде интегральных схем.

Основная проблема уменьшения длительности выполнения операций в таких устройствах состоит в необходимости суммирования в одном цикле нескольких кодов.

Ниже рассматриваются способы ускорения вычислений за счет уменьшения длительности цикла формирования цифры частного.

Алгоритмы деления чисел

Будем считать, что операнды имеют n -разрядов справа от запятой и один разряд слева от запятой:

$$X = \sum_{i=0}^n x_i 2^{-i},$$
$$Y = \sum_{i=0}^n y_i 2^{-i},$$

где $x_i, y_i \in \{-1, 0, 1\}$ – цифры операндов. Дополнительный разряд в целой части операндов учитывает неоднозначное

представление дробного числа в избыточной системе счисления $(1, \bar{1}, \dots$ и $0, 1, \dots)$.

Для операции деления $Z=2^{-p}X/Y$ правило формирования цифры результата z_i на i -м шаге сводится к выполнению следующих действий [4]:

$$H_i = 2R_{i-1} + 2^{-p}x_i - Z_{i-1}y_i \quad (1)$$

$$z_i = \begin{cases} -1, & \text{если } H < -2^{-2}; \\ 0, & \text{если } -2^{-2} \leq H_i < 2^{-2}; \\ 1, & \text{если } 2^{-2} \leq H_i, \end{cases} \quad (2)$$

$$R_i = H_i - Y_i z_i \quad (3)$$

Здесь H_i , R_i – промежуточные переменные; Z_{i-1} – частное, представленное $i-1$ старшими разрядами; Y_i – делитель, содержащий только i старших разрядов.

Исходными являются условия: $R_0=0$, $0 \leq X < Y$ и $2^{-1} \leq Y < 1$.

В отличие от Z частное $Z^* = X/Y$ формируется с задержкой на p шагов ($p=3$). После выполнения $(n+p+1)$ шагов можно получить n -разрядный код частного $Z^* = X/Y$ с погрешностью, по абсолютной величине, не превышающей 2^{-n} .

Для построения устройства деления нужны обычные двоичные сумматоры, регистры и логические элементы. В избыточном коде с цифрами $\{-1, 0, 1\}$ представлены только операнды и результат соответственно на входах и выходах устройства. Внутри устройства для представления данных используется каноническая двоичная система счисления с естественным порядком весов. По правилам этой же системы выполняются микрооперации.

Для представления значений H_i и R_i , которые могут быть отрицательными, можно использовать модифицированный дополнительный код, содержащий два знаковых разряда слева от запятой. Из (2) следует, что цифру частного в этом случае можно определять посредством анализа с помощью комбинационной схемы значений h_1 , h_0 , h_{-1} и h_{-2} четырех старших разрядов кода H_i , младший из которых имеет вес 2^{-2} . Переключательные функции, которые должны быть реализованы комбинационной схемой, заданы

табл. 1, в которой функция f_{-1} соответствует значению $z_i = -1$, а $f_1 = z_i = 1$.

Таблица 1. Таблица истинности

h_1	h_0	h_{-1}	h_{-2}	f_{-1}	f_1
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	-	-
1	0	0	0	-	-
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	1	0
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	0

Прочерками в табл. 1 отмечены наборы, на которых функции не определены (что следует из анализа диапазона изменения значений H_i). После доопределения и упрощения функций получим:

$$\begin{aligned} f_{-1} &= h_1(\bar{h}_0 \vee \bar{h}_{-1} \vee \bar{h}_{-2}), \\ f_1 &= \bar{h}_1(h_0 \vee h_{-1} \vee h_{-2}). \end{aligned} \quad (4)$$

Цифре $z_i=0$ можно поставить в соответствие отсутствие сигналов на выходах устройства.

В соответствии с (1)-(3) алгоритм деления можно представить в следующей форме.

Алгоритм деления I.

1. R_{-1} и Y_{-1} присвоить значение 0.
2. Для $i = \overline{0, p-1}$ выполнять пункты 3 и 4.
3. $Y_i = Y_{i-1} + y_i 2^{-i}$.
4. $R_i = 2R_{i-1} + x_i 2^{-i}$.
5. Z_{p-1} присвоить значение 0.
6. Для $i = \overline{p, p+n}$ выполнять пункты 3, 7-10.
7. $H_i = 2R_{i-1} + x_i 2^{-p} - Z_{i-1}y_i$.

$$8. z_i = \begin{cases} -1, & \text{если } f_{-1}=1; \\ 1, & \text{если } f_1=1; \\ 0 & \text{в противном случае.} \end{cases}$$

$$9. Z_i = Z_{i-1} + z_i 2^{-i}.$$

$$10. R_i = H_i - Y_i z_i.$$

Чтобы разрядная сетка не расширялась влево, при выполнении первых p шагов накапливаются значения Y_i и H_i без формирования цифр результата. Цифры z_i формируются в соответствии с (4) с помощью комбинационной схемы.

Пример деления при $X = 0, \overline{111} \overline{11}$ и $Y = 0, \overline{111} \overline{10}$ иллюстрируется табл. 2.

В каждом цикле формируется и выдается для дальнейшей обработки (в других устройствах) одна цифра результата $Z = 0,0010\overline{111}0$, начиная со старших разрядов.

Заметим, что в канонической системе счисления результат $Z = 0,00010\overline{111}0$ накапливается в соответствующем регистре.

Частное $Z^* = X/Y$ получим смещением запятой вправо на 3 разряда, то есть $Z = 0,10110$.

Устройство деления должно содержать сумматоры и регистры для формирования и хранения Y_i, Z_i , а также поочередного формирования в одном регистре H_i и R_i . В процессе деления коды Y_i и Z_i остаются неподвижными, а код R_i сдвигается в каждом цикле на один разряд влево. Благодаря этому значения функций f_{-1} и f_1 можно определять на каждом шаге, анализируя одни и те же разряды регистра, в котором находится код H_i . Для обеспечения в каждом цикле нужного веса разрядов x_i, y_i и z_i можно использовать регистр, в котором

Таблица 2. Состояние сигналов и переменных

i	x_i	y_i	Y_i	H_i	f_{-1}	f_1	z_i	Z_i	R_i
0	0	1	1.	00.0000000	-	-	0	0.	00.0000000
1	1	-1	0.1	00.0010000	-	-	0	0.0	00.0010000
2	-1	1	0.11	00.0010000	-	-	0	0.00	00.0010000
3	1	-1	0.101	00.0110000	0	1	1	0.001	11.1100000
4	1	-1	0.1001	11.1100000	0	0	0	0.0010	11.1100000
5	-1	0	0.10010	11.0110000	1	0	-1	0.00011	11.1111000
6	-	-	0.10010	11.1010100	1	0	-1	0.000101	00.0011110
7	-	-	0.10010	00.0111100	0	1	1	0.0001011	11.1110010
8	-	-	0.10010	11.1100100	0	0	0	0.00010110	11.1100100

сдвигается вправо одна единица.

Поскольку пункты 7 и 10 алгоритма должны выполняться последовательно во времени, то один цикл деления включает два такта. В первом такте выполняются пункты 7 и 8, а во втором – 3, 9 и 10.

Максимальную длительность имеет первый такт. Длительность такта определяется временем суммирования трех кодов (пункт 7), задержкой сигналов в комбинационной схеме (пункт 8) и записью суммы в регистр, где накапливается значение H_i .

Рассмотрим возможность сокращения цикла деления.

Если в алгоритме I значение R_{i-1} , входящее в формулу для вычисления H_i , выразить через величины H_{i-1}, Y_{i-1} и z_{i-1} , а значение Z_{i-1} – через Z_{i-2} и z_{i-1} , то получим алгоритм, позволяющий формировать цифру частного за один такт.

Алгоритм деления II.

1. H_{-1} и Y_{-1} присвоить значение 0.

2. Для выполнения пунктов

рисованное

для выполнения пунктов

1-2 1 2

а а р н я р е л и а и а и и е л н и я

схема устройства с помощью которого можно представить на рис. Для наглядности организации структуры усроства логические цепи лжно не показаны. Связи между узлами на рис. соответствуют передаче данных между узлами.

из разрядов, и ос ествляется на выходх суммирующего блока (СМ). Регистр Р формирует единицы с нужным весом для разны форму, знаения и накапливаются в парах регистров Р и Р Р отдельно в в де положительных и отрицательны цифр. се вычисления выполняются за один ак, поскольку в м цикле используются данные полученные в е ем икти

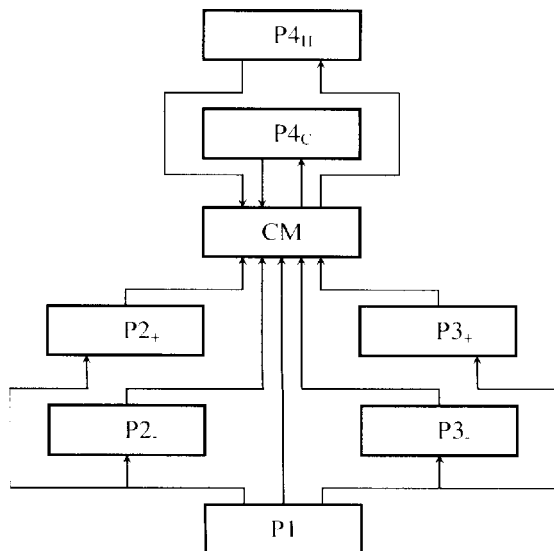
лительность цикла в основном пр е еляе ся временем суммирования о до в . Суммиру ий б ок ожет быть построен апример на основе е рева сумматоров с распространением переносов содержащего ярусом где

число слагаемых. В данном случае неоходимо руса. мень ение длительности икла можно добиться за с ет организации цепей ускоренного перенос в сумматорах днако более эффектив ным средством ускорения ложения неско ьких чисел является использование сумматоров б з распространения переносов. исл о ярусом в данном случае е личивается до но на каждом

ярусе время суммирования определяется только временем задержки сигнаов в одноразрядном сумматоре

уст в суммирующем локе переносы распространяются лько в нескольких старших разрядах, причем ладший из этих разрядов имеет ве В том случае во всех разрядах М кро е указаны, результат суммирования будет редставлен в виде дву составляющих а именно поразрядных сумм записыва тся в регистр Р4 и поразрядных переносов записываются в регистр 4 ественно то составляющая, представленная поразрядными переносами, всегда неотрицательна и меньше 2

читывая диапазон изменения зна-



кес

1

Дерево сумматоров без распространения переносов, содержит 4 яруса. Задержка распространения сигналов через четыре яруса составляет $4\tau_+$. Для одноразрядных сумматоров можно принять $\tau_+ = 3\tau_0$, где τ_0 - время задержки сигнала в логическом элементе. Если разряды регистров выполнены по «M-S схеме» или по схеме «трех триггеров», то время записи информации составляет $6\tau_0$. С учетом формирования и анализа старших разрядов в СМ, а также задержки сигналов в цепях выдачи информации из регистров на СМ, с достаточной точностью для сравнительного анализа эффективности разных подходов к делению можно принять длительность цикла $T_{ц} \cong 20\tau_0$.

Сравнительная характеристика делительных устройств

Для выполнения различных операций в ЦВМ используются операционные устройства (ОУ) параллельного и последовательного типа. ОУ последовательного типа находят применение в тех случаях, когда быстродействие не является первостепенным фактором. В них информация на входах и выходах, а также обмен информацией между регистрами и сумматорами осуществляется последовательным кодом, причем время выполнения деления пропорционально квадрату разрядности операндов.

Рассматриваемые ОУ для деления по форме представления информации на входах и выходах можно отнести к ОУ последовательного типа. Однако обмен информацией между регистрами и сумматорами в нем, как и в ОУ параллельного типа, осуществляется параллельным кодом. Как и в параллельных ОУ, число шагов выполнения деления в таких ОУ пропорционально разрядности операндов, а не квадрату разрядности, что характерно для последовательных ОУ. В связи с этим такие ОУ получили название «квазипараллельные» [1].

Возможная организация вычислительных систем на базе квазипараллельных ОУ рассмотрена, например, в [5].

Для сравнения эффективности параллельных и квазипараллельных ОУ при выполнении последовательности операций будем сравнивать среднее время выполнения одной операции в цепочке. Поскольку в рамках статьи

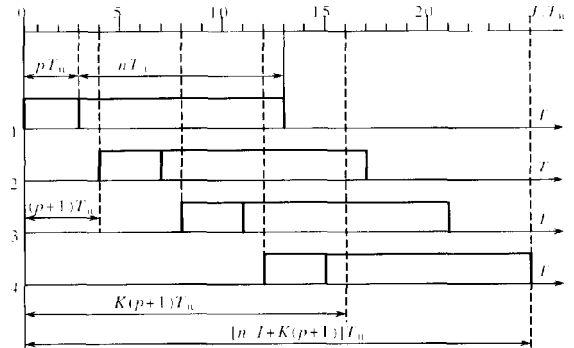


Рис. 2. Диаграмма работы квазипараллельных ОУ: $n = 10$ – разрядность операндов; $p = 3$ – задержка формирования разрядов результата; $K = 4$ – количество ОУ

рассматривается только одна операция, то будем полагать, что последовательность включает операции с такими же временными характеристикам, как и операция деления.

Среднее время операции, входящей в цепочку из K операций, на основании рис. 2 можно определить так:

$$T_0(K) = \frac{[n - 1 + K(p + 1)]T_{ц}}{K} \tag{5}$$

Из (5) видно, что с увеличением длины цепочки операций среднее время выполнения операции уменьшается и стремится к предельной величине

$$T_0^* = \lim_{K \rightarrow \infty} \frac{T_0(K)}{K} = (p + 1)T_{ц} \tag{6}$$

Для устройства, реализующего алгоритм II, из (6) получим

$$T_0^* = (p + 1)T_{ц} = (4 + 1) \cdot 20 \cdot \tau_0 = 100\tau_0 \tag{7}$$

При использовании параллельных ОУ для выполнения цепочки зависимых по данным операций среднее время выполнения одной операции не зависит от K . Предельное среднее время совпадает со средним временем выполнения одной операции, в данном случае – операции деления.

