

УДК 004.272

Опанасенко В.Н., д.т.н.,  
Лисовой О.М., к.т.н.**БОРТОВЫЕ ПРОБЛЕМНО-ОРИЕНТИРОВАННЫЕ ПРОЦЕССОРЫ  
ДЛЯ АППАРАТНОЙ РЕАЛИЗАЦИИ АЛГОРИТМОВ УПРАВЛЕНИЯ  
КОСМИЧЕСКИМИ АППАРАТАМИ**

Институт кибернетики им. В.М. Глушкова НАН Украины

[vlopanas@ukr.net](mailto:vlopanas@ukr.net)

*Выполнен анализ архитектурно-структурной организации кристаллов ПЛИС типа FPGA семейства Virtex-7 для реализации алгоритмов управления и ориентации малыми космическими аппаратами*

**Ключевые слова:** элементная база, реконфигурация, экспериментальное ядро

**Введение**

При проектировании систем управления современными малыми космическими аппаратами (МКА) большое значение имеет эффективность реализации соответствующих алгоритмов управления с помощью современных средств компьютерной техники.

Для реализации алгоритмов управления и ориентации МКА может быть использована следующая элементная база:

- универсальные микропроцессоры;
- микроконтроллеры;
- программируемые логические интегральные схемы (ПЛИС).

Выбор элементной базы зависит от исходных требований к техническим характеристикам разрабатываемой системы.

Для обеспечения американской космической программы фирма *BAE* разрабатывает, изготавливает и поставляет готовые бортовые компьютеры [1]. В настоящее время на орбите функционируют как устройства предыдущих поколений (16-разрядный компьютер "1750" и 32-разрядный *RAD 6000*), так и современные устройства, построенные на базе новейшего процессора *RAD750*. Так, например, на борту *Fermi Gamma-ray Space Telescope* (также известного как *GLAST*) работает сразу 7 компьютеров семейства *RAD750* формата *3U*.

В классе микроконтроллеров самым высокопроизводительным вычислительным ядром *ARM* на сегодняшний день

считается *Cortex-A15* на основе архитектуры седьмого поколения *ARMv7* [2]. Тактовая частота чипа зависит от его производителя, примерный максимум составляет около 2,5 ГГц, и на этой частоте производительность чипа достигает 35000 *MIPS*. Для сравнения, например, *Intel Core i7 Extreme Edition 3960X* работает на частоте 3,33 ГГц и обеспечивает порядка 177 730 *MIPS*, в пересчете *MIPS* на ядро на каждый МГц их характеристики довольно близки.

*Cortex-A15* потребляет менее ватта электроэнергии на каждое ядро, в то время как *Core i7* потребляет десятки ватт на ядро. По энергопотреблению *Cortex-A15* близок к *Intel Atom*, но намного опережает его по производительности, и в этом заключается принципиальное преимущество всех *ARM*-процессоров перед чипами универсальных микропроцессоров.

**Элементная база проблемно-ориентированных процессоров**

В качестве элементной базы реконфигурируемых компьютеров используются кристаллы *FPGA* – программируемые логические интегральные схемы.

Новое поколение *FPGA* фирмы *Xilinx* [3] производится по технологии 28нм и представляет три семейства кристаллов, оптимизированных для решения различных типов задач [4-7].

Кристаллы *Kintex-7* представляют новый класс *FPGA*, обеспечивающий

максимальную экономическую эффективность разработки.

Кристаллы *Artix-7* является правопреемником семейства *Spartan-6* и обладают по сравнению с ним повышенной производительностью и пониженным энергопотреблением.

Все три семейства используют унифицированную архитектуру, что позволяет плавно переносить разработку с одного семейства на другое. Энергопотребление *FPGA* нового поколения уменьшено вдвое по сравнению с предыдущим. Кристаллы *Virtex-7* имеют вдвое большую логическую емкость и быстродействие по сравнению с предыдущим поколением (*Virtex-6*).

Все кристаллы 7 семейства *FPGA* имеют от 4 до 88 схем последовательных гигабитных приемо-передатчиков для работы в разных диапазонах быстродействия: *GTP* – до 3,75 Гб/сек; *GTX* – до 10,3125 Гб/сек; *GTH* – до 13,1 Гб/сек; *GTZ* – до 28,05 Гб/сек. Структура кристаллов содержит интегрированные блоки интерфейса для проектов *PCI Express: PCIe x8 Gen2 Endpoint и x8 Gen3 PCIe*.

Все кристаллы 7 семейства *FPGA*, имеющие логическую емкость свыше 100.000 логических ячеек, имеют аналоговый интерфейс общего назначения, называемый *XADC*, который содержит два 12-битовых (1 *MSPS*) *analog-to-digital converters (ADC)* с внутрикристалльным датчиком для источника питания и температуры, а также внешние аналоговые входные каналы.

Серия *Virtex-7* содержит широкий набор *hard IP-core: 10/100/1000 Ethernet MAC*; интегрированные блоки для *PCI Express, DSP slices* второго поколения (25x18) и др. В отличие от предыдущих семейств предоставляется технология частичной реконфигурации кристалла.

Семейство кристаллов *Virtex-7* могут быть использованы в беспроводных системах связи, аудио- и видео-оборудовании, военной и аэрокосмической технике [7], промышленных системах и во многих других приложениях.

Отдельным направлением кристаллов ПЛИС являются микросхемы класса *EPP (Extensible Processing Platform*, расширенная процессорная платформа). Первыми микросхемами такого типа стали *EPP* семейства *Zynq-7000*. *Zynq-7000* – семейство микросхем *Xilinx* [8], основанное на программируемой архитектуре *SoC (system-on-chip)*. Эти изделия объединили: многофункциональность 2-ядерного процессора *ARM Cortex-A9* с процессорной системой, которая оснащена мультимедиа-подсистемой *NEON* и модулем обработки операций с плавающей точкой двойной точности, а также *L1-* и *L2-Cache*; 28нм матрицу программируемых логических ячеек, аналогичную программируемой логики; контроллер стандартной памяти и широким набором периферии в одном кристалле. Отличием от *FPGA* является то, что процессорная система выполнена на кристалле вместе с памятью и периферийными устройствами и полностью готова к функционированию.

Ключевой аспект архитектуры заключается в том, что *Xilinx* реализовала значительный набор стандартных интерфейсных *IP-блоков* в кристалле *Zynq-7000 EPP*, таких как: *USB, Ethernet, SDIO, UART, SPI, I2C* и *GPIO*. *Zynq-7000* содержит до 512КБ памяти *L2-Cache*, которая используется двумя процессорами.

### **Частичная реконфигурация**

*FPGA* технология обеспечивает гибкость локального программирования и частичной реконфигурации [9] аппаратных средств без необходимости загрузки полного файла конфигурации при модификации исходного алгоритма. Частичная реконфигурация позволяет модификацию функционирующего *FPGA* проекта, путем загрузки файла частичной конфигурации, обычно частичный бит файл. После того, как полный бит файл конфигурирует *FPGA*, частичные бит файлы могут быть загружены для модификации реконфигурируемой области в кристалле *FPGA*, не ставя под угрозу целостность приложений, выполняющихся на тех частях

устройства, которые не были реконфигурированы. Как показано на рис. 1, функция, реализованная в *Reconfig Block A*, модифицируется загрузкой одним из нескольких частичных бит файлов, *A1.bit*, *A2.bit*, *A3.bit* или *A4.bit*.

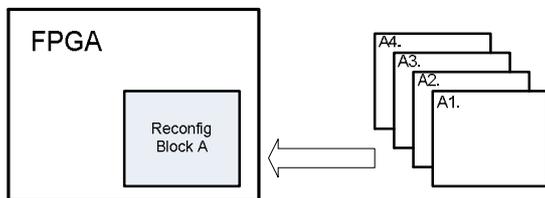


Рис. 1. Частичная реконфигурация

Логика в проекте *FPGA* разделена на два различных типа, реконфигурируемую логику и статическую логику. Часть кристалла, обозначенная как *Reconfig Block "A"*, представляет реконфигурируемую логику, остальная область кристалла *FPGA* представляет статическую логику. Статическая логика продолжает функционировать и полностью индифферентна к загрузке частичного бит файла. Реконфигурируемая логика заменяется содержанием частичного бит файла.

Частичная реконфигурация позволяет эффективно реализовать на базе кристалла алгоритмы, в которых часть алгоритма будет изменяться, а основная часть остается неизменной. В зависимости от реализации требуемого изменения в алгоритме функционирования заранее формируются частичные бит файлы (*A1.bit*, *A2.bit*, *A3.bit* или *A4.bit*) реализаций этих изменений, которые будут загружаться в реконфигурируемую область *Reconfig Block "A"* кристалла.

### **Экспериментальное ядро проблемно-ориентированного процессора в элементном базисе ПЛИС для аппаратной реализации робастных алгоритмов оценивания и управления динамическими системами.**

Разработанное экспериментальное ядро проблемно-ориентированного процессора работает на частоте 50–60 МГц для ПЛИС семейства *Virtex-4* и 90–100

МГц для семейства *Virtex-7*. Погрешность, которая присутствует в результатах вычислений, является следствием использования 32 битовых вычислений. В случае использования обработки данных с 64-битной арифметикой, погрешность между аппаратной и программной моделями будет отсутствовать. Выбор формата 32 бита или 64 бита для обработки данных следует делать в зависимости от требований к погрешности вычислений. В случае использования 64 битной арифметики время выполнения алгоритма увеличится примерно в 2 раза, также увеличатся характеристики аппаратных ресурсов для ядра проблемно-ориентированного процессора.

При необходимости уменьшения времени выполнения алгоритма архитектура проблемно-ориентированного процессора может быть расширена за счет добавления дополнительных математических функций. Так как задача хорошо распараллеливается, то время выполнения может быть сокращено до 10 раз (при максимальном распараллеливании), при этом аппаратные характеристики будут существенно увеличены.

В частном случае конечную архитектуру проблемно-ориентированного процессора следует выбирать, вводя ограничения на одну или несколько характеристик, таких как: аппаратные, время выполнения, желаемую погрешность, также следует учитывать протокол интерфейса ввода/вывода.

### **Алгоритм восстановления работы системы после сбоя**

Стандартным решением для повышения отказоустойчивости цифровых систем является применение мажоритарной схемы резервирования «2 из 3».

Для рассмотренной реализации алгоритма управления предлагается следующая структура для восстановления работы системы управления после сбоя в течении 100 мс.

Используем мажоритарную схему резервирования «2 из 3». В общем виде считаем, что временной период восста-

новления системы не должен превысить заданное время  $T$ . Обобщенная структура отказоустойчивой системы управления представлена на рис. 2. и содержит следующие блоки и узлы:

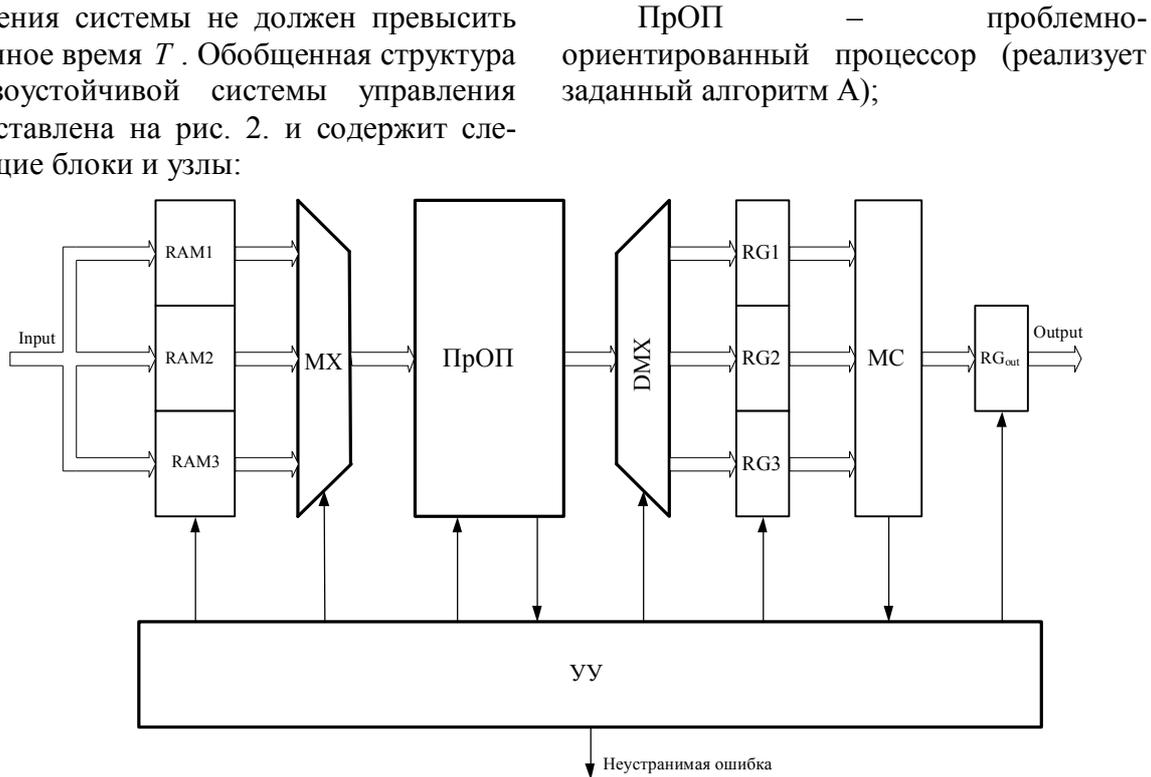


Рис. 2. Обобщенная структура отказоустойчивой системы управления

УУ – устройство управления (формирует управляющие сигналы для всех составных компонентов системы);

$RAM1, RAM2, RAM3$  – память для записи исходных данных;

$MX$  – мультиплексор-коммутатор;

$DMX$  – демultipлексор;

$RG1, RG2, RG3$  – регистры для хранения промежуточного результата;

$MC$  – (*majority circuit*) мажоритарная схема «2 из 3».

$RG_{out}$  – регистр результата.

#### Алгоритм работы системы:

1. УУ формирует сигнал разрешения записи исходных данных ( $Input$ ) в  $RAM1, RAM2$  и  $RAM3$ .

2. УУ формирует (для  $MX$ ) сигнал разрешения передачи исходных данных ( $Input$ ) из  $RAM1$  в  $ПрОП$  для реализации специализированного алгоритма А.

3. После получения сигнала об окончании реализации алгоритма А (реализуется в  $ПрОП$ ) в УУ формируется (для  $DMX$ ) сигнал управления для записи результата в регистр  $RG1$ .

$ПрОП$  – проблемно-ориентированный процессор (реализует заданный алгоритм А);

4. Пп. 2 и 3 повторяются для исходных данных для  $RAM2$  и  $RAM3$ . В итоге в регистрах  $RG1, RG2, RG3$  будут записаны результаты вычислений алгоритма А.

5. Мажоритарная схема  $MC$  определяет мажоритарный результат и УУ формирует сигнал разрешения записи результата ( $Output$ ) в регистр  $RG_{out}$ . Если схема  $MC$  определяет, что все три результата не совпадают, то соответствующий сигнал поступает в УУ, которое сформирует сигнал «Неустраняемый сбой».

Дублирование каналов памяти должно обеспечивать восстановление работоспособности системы за время  $T$ , которое определяется выражением:

$$T \approx t_1 + 3(t_2 + t_3 + t_4) + t_5 + t_6,$$

где:  $t_1$  – время записи входной информации в  $RAM_i (i = \overline{1,3})$ ;  $t_2$  – время считывания входной информации из  $RAM_i$  через  $MX$  в  $ПрОП$ ;  $t_3$  – время обработки информации в  $ПрОП$ ;  $t_4$  – время записи ре-

зультатов обработки информации (ПрОП) в регистр  $RG_i$ ;  $t_5$  – временная задержка на схеме  $MC$ ;  $t_6$  – время записи результата в  $RG_{out}$ .

Для вычисления алгоритма необходимо 100 тактов (общее время выполнения алгоритма около 2 мкс). Таким образом, может быть реализовано мажоритарное резервирование для восстановления работы системы управления после сбоя в течении 100 мс.

### Выводы

Выполненный анализ архитектурно-структурной организации кристаллов ПЛИС типа *FPGA* семейства *Virtex-7* показал, что данные кристаллы позволяют реализовать большое множество алгоритмов благодаря своей гибкой системе настройки. Основные преимущества применения ПЛИС для построения проблемно-ориентированных процессоров:

- принцип реконфигурируемости – возможность модификации процессоров (изменение архитектуры и структуры устройств, т.е. изменение алгоритмов функционирования системы) на любой стадии разработки и в процессе эксплуатации;

- значительное сокращение времени внедрения новых перспективных изделий на основе ПЛИС (время проектирования, моделирования, верификации и реализации) при незначительных затратах, а применение ПЛИС для производства небольших партий – это единственно приемлемый вариант;

- возможность частичной реконфигурация позволяет модификацию функционирующего проекта *FPGA* загрузкой файлов частичной конфигурации, что приводит к реконфигурации системы под класс задач.

### Список литературы

1. RAD750® family of radiation-hardened products / Available at <http://www.baesystems.com/rad750>.

2. Cortex-A Series / Available at <http://arm.com/products/processors/cortex-a/cortex-a15.php>.

3. Mehta N. Xilinx Redefines Power, Performance, and Design Productivity with Three Innovative 28 nm FPGA Families: Virtex-7, Kintex-7, and Artix-7 Devices. – Xilinx Inc. – White Paper WP373 (v1.4) October 15, 2012. – P.10 / Available at <http://www.xilinx.com>.

4. Palagin A.V., Opanasenko V.N. Reconfigurable computing technology // Cybernetics and Systems Analysis. Springer New York. – 2007, Vol. 43, N.5. – PP. 675–686.

5. Palagin A.V. Design and application of the PLD-based reconfigurable devices / A.V. Palagin, V.N. Opanasenko // Design of Digital Systems and Devices. – Springer, Verlag, Berlin, Heidelberg. – 2011, Vol. 79. – PP. 59–91.

6. Kondratenko Y.P. Implementation of the neural networks for adaptive control system on FPGA / Y.P. Kondratenko, E. Gordienko // Proceeding of 23rd DAAAM International Symposium on Intelligent Manufacturing and Automation. – 2012. Vol. 23, N. 1. – pp. 0389–0392.

7. Palagin A. The structure of FPGA-based cyclic-code converters / Alexander Palagin, Vladimir Opanasenko, Sergey Krivoi // Optical Memory & Neural Networks (Information Optics). Springer. – 2013, Vol. 22, N.4. – PP. 207–216.

8. Radiation-Hardened, Space-Grade Virtex-5QV Family Overview / Available at <http://www.xilinx.com>.

9. Zynq-7000 Silicon Devices / Available at <http://www.xilinx.com/products/silicon-devices/soc/zynq-7000/silicon-devices/index.htm>.

10. Partial Reconfiguration. User Guide. – Xilinx Inc. – UG702 (v14.5). April 26, 2013. – P.130 / Available at <http://www.xilinx.com>.