УДК 004.2 (045)

Пащенко Н.В.

ПЛІС-РЕАЛІЗАЦІЯ ПРИСТРОЮ ДОДАВАННЯ В ПАРАФАЗНОМУ КОДІ

Інститут комп'ютерних технологій
Національний авіаційний університет

Розглянуто проблему контролю даних в комп'ютерних системах. Досліджено можливість застосування схем контролю на основі кодів «М із N» з метою підвищення надійності даних. Запропоновано апаратну реалізацію пристрою додавання в парафазному коді

Вступ

Однією з важливих вимог до нових розробок у галузі обчислювальної техніки є надійність зберігання та передачі інформації. Основні принципи та методи надійної та ефективної передачі даних базуються на безпомилковій передачі. Фізичне середовище, по якому передаються дані, не може бути абсолютно надійним. Помилки можуть бути одиночними, а можуть з'являтись групами. У результаті помилок можуть зникати біти інформації або навпаки – з'являтись зайві.

Для надійного збереження та передачі інформації використовуються різні коди – *ECC (Error Correction Code), CRC* (*Cyclic Redundancy Code) та ін.* Поліноміальні коди або циклічні надлишкові коди *CRC* побудовані на представленні бітового рядку як рядку коефіцієнтів поліному. Особливість коду полягає в тому, щоб передавати тільки ті повідомлення, поліноми яких діляться на деякий фіксований поліном *G(x)*. Якщо отримано повідомлення, що поліном *G(x)* не ділиться, то при передачі сигнал був спотворений.

Код з перевіркою парності утвориться додаванням до групи інформаційних розрядів, що представляють простий (ненадлишковий) код, одного надлишкового (контрольного) розряду. Якщо при передачі інформації виявляється, що в прийнятому слові значення контрольного розряду не відповідає парності суми першого слова, то це сприймається як ознака помилки. При одночасному виникненні двох або будь-якого іншого парного числа помилок код з перевіркою парності не виявляє помилок. Основними недоліками такого способу контролю є недостатній рівень ймовірності виявлення більшості категорій помилок та часова затримка, що вносить схема визначення парності.

В [1] установлено, що традиційний спосіб подання двійкової інформації в ЕОМ, при якому обидві цифри двійкового розряду представлені одним тригером (взаємозалежне подання) призводить до втрати природної контрольної здатності позиційних числень, що у свою чергу зумовило використання в ЕОМ різних надлишкових кодових побудов, що дозволяють виявляти або виправляти помилки.

Альтернативою традиційному двійковому поданню інформації в обчислювальних системах може бути подання цифрової інформації кодами «*M* із *N*», у якому *N* – кількість позицій (кожна з яких представлена окремим тригером) у розряді числа; *M* – кількість «одиниць» у цих позиціях (інші *N–M* позицій містять «нулі»). Таким чином, співвідношення «нулів» і «одиниць» у рамках даного коду є фіксованим. Такі коди відносяться до нероздільних, у яких розряди кодового слова неможливо розділити на інформаційні та надлишкові.

Код, у якому *M*=1, а *N*=2, називають парафазним кодом або кодом «1 із 2».

Постановка задачі

Основною метою роботи є розробка пристрою додавання в парафазному коді.

В роботі [2] встановлено, що при використанні коду «*M* із *N*» можливо практичне рішення проблеми автоматичного контролю в обчислювальних систе-

мах. Такі коди мають наступні особливості. Максимальна кількість комбінацій в одному розряді обчислюється по формулі:

$$C_N^M = N!/[M!*(N-M)!],$$

де $N! = N*(N-1)*(N-2)*...1.$.

Величину основи системи числення p числення вибирають із умови:

$$C_N^M \geq p.$$

Найбільший практичний інтерес представляють значення $p=2^k$ (де k=2, 3, 4, …) і $p=10^m$ (де =1, 2, 3,…)...

Характеристикою, що визначає властивість коду виявляти помилки, є мінімальна кодова відстань:

$$d = min\, d(X,Y), \text{ при } X \neq Y.$$

Для коду «M із N», залежно від парності параметра N, отримаємо наступні діапазони зміни величини $d(X,Y)$:
для парного N:

$2 \leq d(X,Y) \leq 2M$, при $1 \leq M \leq N/2$;

$2 \leq d(X,Y) \leq 2(N-M)$, при

$N/2+1 \leq M \leq N-1$;

для непарного N:

$2 \leq d(X,Y) \leq 2M$, при $1 \leq M \leq (N-1)/2$;

$2 \leq d(X,Y) \leq 2(N-M)$, при

$(N-1)/2 \leq M \leq N-1$.

Отже, для коду «M із N» у всіх випадках $d \geq 2$.

Для виявлення будь-якої помилки кратності l або менше необхідно та достатньо, щоб мінімальна відстань коду була хоча б на одиницю більше ніж l: $d \geq l+1$.

Отже, код «M із N» дозволяє виявити будь-яку одиночну помилку.

Повна множина категорій помилок, можливих у такому коді, де:

– кодова комбінація містить $M-i$ «одиниць», де i=1, 2,…,M;

– кодова комбінація містить $M+i$ «одиниць», де i=1, 2,…,N-M;

– кодова комбінація містить точно M «одиниць», з яких i – помилкові, де i=2,4,…,M, якщо M – парне, або i=2,4,…, M–1, якщо M – непарне.

Виявлення помилок перших двох категорій (з порушенням структури коду) забезпечується з імовірністю P_{mi}=1, а третьої – з імовірністю P_{mi}=0. Отже, вірогідність D_l цифрової інформації повністю визначається ймовірністю $R_З$ утворення помилки третьої категорії: $D_l = 1 - R_З$.

В [3] визначена залежність зміни ймовірності $R_З$ від зміни M при фіксованих значеннях p:

$$R_З \approx \sum_{i=l}^{L} C_M^i * C_{N-M}^i * (0.3a * K_э)^{2i} * 10^{-26i},$$

де $K_э$ – кількість логічних елементів, необхідних для представлення однієї цифри в ЕОМ.

Внаслідок досить малого ступеня ймовірності двох і більше помилкових переходів 0⟶1 і такої ж кількості помилкових переходів 1⟶0 в одній кодовій комбінації за час $t=a*\Delta t_k$, де Δt_k – розподільна здатність автоматичного контролю в часі; $0<a<1$.

На практиці ймовірність $R_З$ може бути визначена наближеним виразом:

$$R_З \approx 0.9M(N-M)a^2 K_З^2 * 10^{-27}.$$

Таким чином, подання цифр кодом «M із N» дозволяє практично вирішити проблему автоматичного контролю обчислювальної системи. У кодових комбінаціях не виділяються контрольні й інформаційні символи, надлишкова інформація розподілена рівномірно між всіма позиціями цих комбінацій, не залежить від виду операції, надаючи можливість для контролю повнорозрядних чисел.

Відпадає необхідність в обов'язковому нагромадженні операндів у вхідних регістрах операційного пристрою та при наступному їхньому контролі, що приводить до непродуктивних тимчасових витрат. З'являється можливість організації послідовної (конвеєрної) передачі окремих розрядів обох операндів (при арифметичних операціях) або блоків з k розрядів, безпосередньо у виконавчий пристрій відповідної розрядності з наступною фіксацією часткового результату у відповід-

них розрядах повнорозрядного регістра результату.

Рішення задачі

Пропонується пристрій для додавання та віднімання чисел, представлених у парафазному коді. Пристрій містить блок регістра результату, блок матриці корекції переносу, блок матриці додавання, блок комутації й блок перетворення.

Операнди в парафазному коді надходять із пам'яті на входи матриці додавання. У випадку операції віднімання операнди надходять до блоку перетворення, після чого в інверсному вигляді надходять на матрицю додавання. Якщо надходять правильні кодові слова операндів, спрацьовує один з елементів матриці додавання, та з його виходів сигнал, що відповідає результату операції, надходить на один із входів блоку корекції переносу і на один із входів блоку комутації. Від одного з виходів блоку переносу сигнал надходить на вихідну шину, якщо сумматор є частиною багаторозрядного пристрою. Від виходу блоку комутації сигнали протилежні результату операції в парафазному коді, надходять в блок результату. На виходах створюється кодове слово, що відповідає результату операції в парафазному коді.

Поява помилкових кодових слів операндів з меншою, ніж потрібно кількістю «одиниць», приводить до відсутності сигналів на всіх виходах елементів матриці додавання. Поява помилкових кодових слів операндів з більшою, ніж потрібно, кількістю «одиниць», приводить до появи на виходах матриці додавання відразу декількох сигналів, які потім шифруються блоком комутації в коді, оберненому (за рівнем напруги) парафазному коду, як результат декількох правильних операцій, які з'явилися одночасно. Внаслідок цього, на виходах блоку комутації з'являється кодове слово з більшою, ніж потрібно, кількістю «одиниць». Сигнали, що відповідають «одиниці» цього кодового слова надходять на входи блоку результату. На виході блоку результату створюється кодове слово з меншою, ніж необхідно, кількістю «одиниць». Таке слово не може бути дешифроване і помилка не отримує подальшого поширення [4].

Апаратна реалізація в елементному базисі ПЛІС

Для проектування пристрою були використані САПР *Xilinx ISE Foundation* та *Quartus II*. Для реалізації пристрою вибрані кристали із приблизно рівними можливостями: *Virtex-4 FX12sf363* фірми *Xilinx* і *Stratix EP1S10* фірми *Altera*. Схема однорозрядного пристрою для додавання в парафазному коді наведена на рис.1.

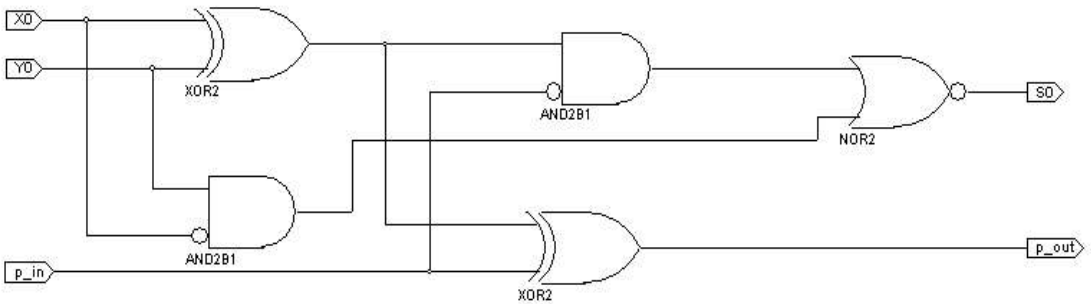

Рис. 1. Схема однорозрядного пристрою для додавання в парафазному коді

На рис.1. зроблені наступні умовні позначення: *X0, Y0* – вхідні однорозрядні операнди, *p_in, p_out* – сигнали переносу, *S* – результат додавання у парафазному коді. При побудові багаторозрядного пристрою додавання сигнал з виходу *p_out* розряду *i-1* подається на вхід *p_in* розряду *i* пристрою.

Однорозрядний пристрій у системах проектування був реалізований як символ (функціональний блок), що дозволяє проектувати пристрій будь-якої розрядності. Умовне (функціональне) позначення при-

строю в системах проектування наведене на рис. 2.

У результаті проектування був розроблений 32-х розрядний пристрій для додавання у парафазному коді. Слід зазначити, що отриманий пристрій також може бути реалізований як символ (функціональний блок) в системах проектування *Xilinx ISE Foundation* та *Quartus II*, що дозволяє реалізувати пристрій для додавання в парафазному коді з розрядністю, більше 32. Умовне графічне позначення 32-х розрядного пристрою для додавання показано на рис.3.

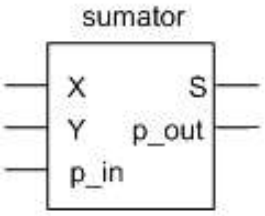

Рис. 2. Умовне позначення однорозрядного пристрою додавання в парафазному коді у системах проектування

Рис. 3. Умовне позначення 32-розрядного пристрою додавання в парафазному коді у системах проектування

У результаті функціонального та часового моделювання роботи 32-х розрядного пристрою для додавання в парафазному коді були отримані результати, наведені в табл.1. В таблиці зроблені наступні позначення: Q – кількість логічних комірок (слайсів) , необхідних для реалізації проекту на кристалі, T – найбільший час затримки розповсюдження сигналу в кристалі.

Таблиця. 1. Результати моделювання пристрою

Кристал	Логічні комірки (слайси)			T
	Q	Логічна ємність кристалу	Процент використання	
Virtex-4 FX12sf363 (Xilinx)	80	10,944	<1%	22,249 нс
Stratix EP1S10 (Altera)	60	10,570	<1%	11,257 нс

Висновки

Отже, проблема автоматичного контролю в ЕОМ може бути практично вирішена при представленні інформації в коді «*M* із *N*». Запропонований 32-розрядний пристрій для додавання в парафазному коді при реалізації на кристалі *Stratix EP1S10* фірми *Altera* займає меншу площу кристала та має кращі часові показники розповсюдження сигналів в кристалі, ніж схожий за параметрами кристал *Virtex-4 FX12sf363* фірми *Xilinx*.

Список літератури

1. *Брюхович Е.И.* О проблеме автоматического контроля в ЭВМ и контролеспособности позиционных счислений // УСиМ. – 1977. – №4. – С. 71–75.

2. *Гуменюк В.А., Жуков И.А., Гуменюк А.В.* Применение неразделимых кодов «*M* из *N*» в высокопроизводительных параллельных вычислительных системах // Проблеми інформатизації та управління. Зб. наук. праць. – 2004. – №11. – С. 256–263.

3. *Пащенко Н. В., Гуменюк А. В.* Применение кодов «M из N» в высокопроизводительных параллельных вычислительных системах // Вестник НТУ «ХПИ».Сборник научных трудов. Тематический выпуск „Системный анализ, управление и информационные технологии". НТУ ХПИ. – 2005. – №55. – С. 69–74.

4. Патент 27510 України, МПК G06F7/50. Пристрій для додавання у парафазному коді / Жуков І.А., Гуменюк В.О., Синельніков О.О., Пащенко Н.В., власник НАУ. – 2007.