

## СПЕЦИАЛИЗИРОВАННАЯ СЕТЬ-НА-КРИСТАЛЛЕ С АГРЕГАЦИЕЙ КАНАЛОВ

Кафедра конструирования электронно-вычислительной аппаратуры  
Национальный технический университет Украины “КПИ”

*Предложен метод снижения аппаратурных затрат сети-на-кристалле (СтнК) с агрегацией каналов, путем неравномерного распределения количества физических связей в агрегированных логических соединениях. Создана специализированная СтнК, аппаратурные затраты которой более чем в два раза (на 65%) ниже, а максимальная рабочая частота на 41% выше, чем у сети с гомогенной архитектурой. По результатам моделирования в ModelSim исследованы транспортные задержки предложенного решения.*

### Введение

Повышение сложности систем на кристалле (СнК) вскрывает проблемы масштабируемости таких способов организации подсистемы связи, как “общая шина”, “полносвязная архитектура” и соединение по типу “точка-точка” [1-2]. С целью увеличения масштабируемости, пропускной способности и максимальной рабочей частоты, для обеспечения связи между вычислительными модулями в СБИС предложено использовать концепцию сети-на-кристалле (СтнК) [3]. Актуальность данного направления подтверждается большим числом публикаций в международных реферируемых изданиях [4-8]. Выгоду от его практического применения демонстрируют компании Arteris, Silistix, iNoCs и Tiler, занятые разработкой СтнК для Intel, ARM, Qualcomm, Texas Instruments и NEC.

В отличие от макросетей, на конструкцию СтнК накладываются более строгие ограничения по количеству аппаратурных ресурсов, необходимых для ее реализации, что делает нецелесообразным использование больших объемов памяти и, как следствие, полную буферизацию пакетов, перед отправкой. Применение коротких входных очередей в маршрутизаторах СтнК, при сохранении длины информационных пакетов, становится возможным в случае передачи данных по технологии “wormhole” [9], когда пакет

разбивается на атомарные единицы управления потоком, т.н. флиты (flit – flow control unit), передаваемые непрерывно друг за другом. Флиты продвигаются по мере возможности, не дожидаясь прихода последователей, что обеспечивает низкие требования к объему буферного пространства. При таком подходе возрастает вероятность блокирования головы колонны (БГК), вследствие чего возможно уменьшение пропускной способности СтнК на величину до 42% от емкости сети [10].

Для снижения вероятности БГК и повышения пропускной способности СтнК некоторые исследователи используют виртуальные каналы (ВК) [10]. Такой подход позволяет несколько увеличить порог насыщения сети, однако полностью БГК не устраняет, поскольку виртуальные потоки мультиплексируются через единственное физическое соединение между маршрутизаторами, что отрицательно сказывается на транспортной задержке и пороге насыщения СтнК [11-12].

В [11-12] предложены структурные и аппаратурные решения для реализации агрегации каналов (АК) в СтнК, когда соседние маршрутизаторы сообщаются при помощи нескольких физических каналов (ФК), агрегированных в логическое соединение. Такой подход позволяет устранить БГК и значительно (в 4 раза и более) повысить порог насыщения wormhole сети. Недостатком АК является большой объем

аппаратурных ресурсов, необходимый для реализации СтнК по сравнению с классической wormhole архитектурой (без ВК).

В предлагаемой работе исследуется метод уменьшения аппаратурных затрат СтнК с АК путем создания специализированной СтнК с неравномерным распределением числа ФК в агрегированных логических соединениях (транках), в зависимости от количества сетевого трафика, передаваемого по ним.

Работа имеет следующую структуру. В разделе 2 приведена информация об архитектуре СтнК с АК. В разделе 3 исследована конструкция маршрутизатора, позволяющая задавать произвольное количество ФК в каждом транке. Выполнен анализ аппаратурных затрат различных конфигураций такого маршрутизатора. В следующем разделе исследован метод создания специализированной СтнК, в которой количество ФК внутри каждого транка пропорционально числу потоков данных, протекающих через него. Выполнен сравнительный анализ транспортных задержек и аппаратурных затрат созданной специализированной СтнК и ее гомогенного аналога. Заключительный раздел содержит выводы и описание вектора дальнейших исследований.

### **Архитектура СтнК с агрегацией каналов**

В работе [10] Dally предложил для решения проблемы БГК ставить в соответствие каждому из входов маршрутизатора сразу несколько буферов, каждый из которых соответствует виртуальному каналу (ВК). В случае блокировании одного из ВК, для передачи пакетов могут быть использованы другие, свободные ВК. Подобный подход позволяет повысить порог насыщения сети на величину в пределах 20% от ее емкости, однако имеет недостатки, связанные с плохой масштабируемостью и значительными аппаратурными затратами. В [13-15] показано, что повышение количества ВК с двух до четырех (на 100%) приводит к росту порога

насыщения всего на 2%, что характеризует плохую масштабируемость подхода. По мнению авторов [11] такое поведение обусловлено тем, что пропускная способность каждого из входов маршрутизатора разделяется между использующими его ВК. С ростом числа ВК увеличивается период передачи флитов виртуальных потоков, что влечет рост транспортной задержки и ограничение порога насыщения СтнК.

Как альтернативу ВК, для снижения БГК, в [11-12] предлагается использовать АК, когда топологически соседние маршрутизаторы связываются при помощи нескольких ФК, агрегированных в логическое соединение (транк). Через транк можно передавать одновременно  $N$  пакетов данных, где  $N$  – количество ФК в транке. Это снижает вероятность БГК и увеличивает пропускную способность СтнК. Если известно пространственное распределение потоков данных в сети, существует возможность подобрать число ФК для каждого транка таким образом, чтобы полностью исключить БГК. Из рис.1 видно, как агрегация трех ФК устраняет БГК на “западном” выходе маршрутизатора  $M_{11}$ .

Структура и принцип работы маршрутизатора для СтнК с АК подробно рассмотрены в [11-12]. Приведенные там результаты свидетельствуют об увеличении порога насыщения на 100% при удвоении числа ФК в транках. Согласно [11] порог насыщения СтнК с АК увеличился на 126% по сравнению с Netmaker СтнК [16] и на 152% по сравнению с HERMES СтнК [13] (оба аналога используют технологию ВК). По сравнению с классической wormhole архитектурой СтнК, без ВК, порог насыщения сети вырос на 300% (в четыре раза). Аппаратурные затраты для СтнК с АК оказались соизмеримы с требованиями к ВК СтнК [12] и, следовательно, проблема уменьшения ресурсопотребления предлагаемого в [11-12] подхода остается открытой.

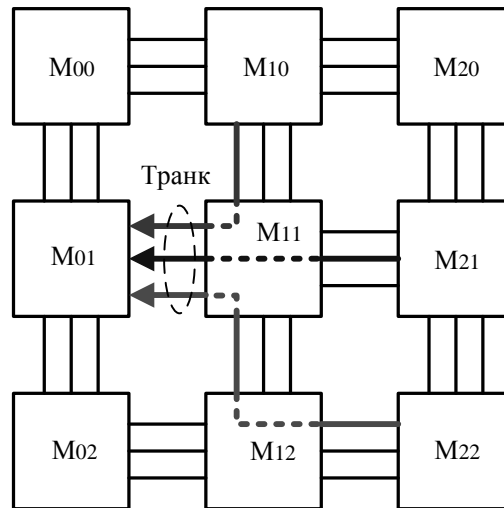


Рис.1. Устранение БГК в СтнК с агрегацией 3-х физических каналов. М – маршрутизатор.

### **Специализированный маршрутизатор для СтнК с агрегацией каналов**

Для уменьшения аппаратных затрат СтнК с АК можно проводить настройку параметров каждого из маршрутизаторов в соответствии с передаваемым через него трафиком. Например, если через определенный входной транк протекает  $N$  потоков данных, а через остальные входные транки  $M < N$  потоков, не целесообразно выбирать ширину всех входных транков равной  $N$  ФК. Достаточно сделать это лишь для наиболее “загруженного” транка, а ширину остальных транков выбирать в соответствии с количеством протекающих через них потоков. Аналогичные заключения справедливы и для транков с исходящим трафиком. Чтобы сделать возможным проведение подобной настройки необходимо наличие параметризированной конструкции маршрутизатора, позволяющей задавать произвольное количество  $PL$  для каждого из транков. Такая конструкция разработана авторами на основе маршрутизатора из [11-12] и описана при помощи синтезируемого подмножества System Verilog. Структурная схема предлагаемого решения включает  $N$  входных транков,  $N$  выходных транков, коммутатор и модуль управления (рис.2). Число ФК в  $i$ -м входном транке составляет  $M_{ВХi}$  единиц, а в  $i$ -м выходном транке –  $M_{ВЫi}$  единиц. Мо-

дуль управления содержит блок ХУ маршрутизации, блок выделения ФК и блок управления потоком на основе кредитов. Принцип работы упомянутых блоков подробно рассмотрен в [11-12], [17]. Основным отличием данного решения от маршрутизатора из [11-12] является возможность определять параметры  $M_{ВХi}$  и  $M_{ВЫi}$  для каждого из транков. Технически это реализуется при помощи двумерного динамического массива, как параметра маршрутизатора.

Для демонстрации преимуществ параметрической настройки конструкции маршрутизатора в соответствии с передаваемым через него трафиком, в среде Quartus II синтезированы несколько конфигураций устройства с различным распределением ФК в транках. В качестве целевой FPGA выбрана микросхема EP4SGX230KF40C2 семейства Stratix IV. Результаты синтеза приведены в табл.1. Синтезируемый маршрутизатор предназначен для использования в СтнК с матричной (mesh) топологией [17] и содержит пять пар транков. Для обеспечения двунаправленного обмена данными каждая пара состоит из входного и выходного агрегированных каналов. Четыре пары используются для соединения с соседними маршрутизаторами и обозначаются в соответствии с нотацией сторон света. Пятая пара предназначена для связи с вычислительным модулем. Числа в ячейках

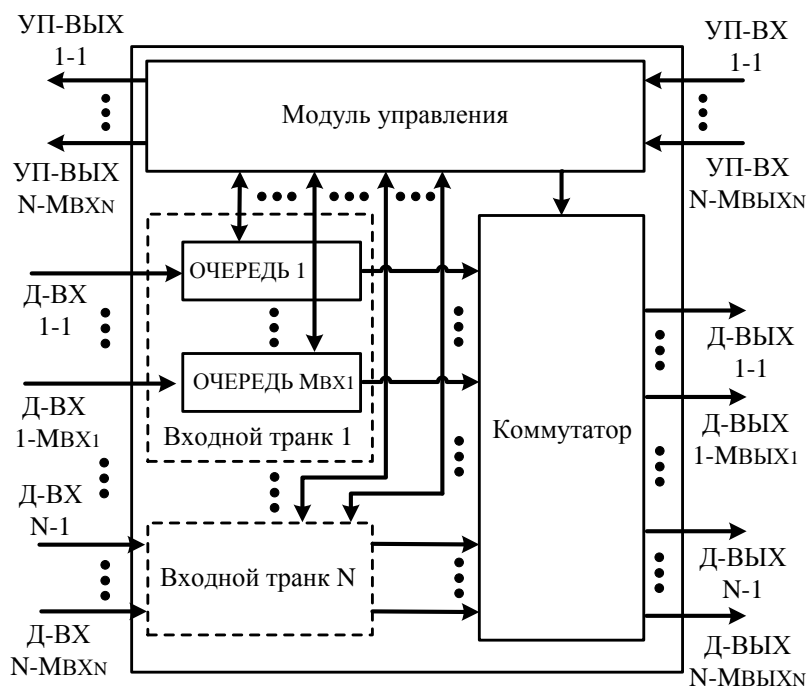


Рис.2. Структурная схема специализированного маршрутизатора для СтнК с АК;  
УП – управление потоком; Д-ВХ – вход данных; Д-ВЫХ – выход данных;

табл.1. соответствуют количеству ФК в каждом из транков определенной пары (ничто не мешает задавать не одинаковые значения). Разрядность каждого ФК составляет 16 бит.

Из табл.1 видно, что в случае неодинакового количества потоков данных, протекающих через транки маршрутизатора, использование неравномерного распределения ФК позволяет значительно (в среднем на 56%) сократить аппаратные затраты на реализацию устройства, а также повысить его максимальную рабочую частоту на 19% по сравнению с гомогенной архитектурой, содержащей по 3 ФК в каждом транке. Аппаратурные затраты получены из отчетов о результатах операции

синтеза в программе Quartus II и включают в себя количество таблиц истинности (look-up tables - LUT), а также триггеров (Trig.), необходимых для реализации устройства на основе соответствующей FPGA. Оценка максимальной частоты функционирования ( $F_{max}$ ) выполнена в программе TimeQuest Timing Analyzer.

### Метод создания специализированной СтнК с агрегацией каналов

Покажем, как на основе предложенного выше маршрутизатора синтезировать специализированную СтнК с гетерогенной архитектурой, в которой число ФК для каждого транка пропорционально количеству потоков данных, протекающих

Таблица 1. Результаты синтеза различных конфигураций СтнК маршрутизатора с АК

Номер конфигурации	Количество ФК в каждом из транков определенной пары					Аппаратурные затраты		
	Северная пара	Восточная пара	Южная пара	Западная пара	Локальная пара	LUT	Trig.	$F_{max}$ , МГц
1	1	1	1	1	1	887	555	250
2	1	1	3	1	1	1 581	833	195
3	1	3	1	3	1	2 190	1 098	185
4	2	1	3	2	1	2 014	981	190
5	3	3	3	3	3	4 533	1 722	160

через него. Такая возможность является следствием того, что в СтНК, соединяющей компоненты специализированной СнК потоки данных могут быть распределены не равномерно, что создает предпосылки для проведения параметрической оптимизации. Под специализированной СнК подразумевается не универсальная система, предназначенная для выполнения только одной задачи (например, кодирование видео высокой четкости [2]).

В качестве тестовой СнК выбрана вычислительная система, граф задач которой приведен на рис.3. Узлы графа соответствуют вычислительным модулям (ВМ). Стрелками обозначены направления обмена данными. Вес каждого ребра соответствует интенсивности генерации заявок на передачу ВМ-источником (количество информационных слов за цикл тактовой частоты). Через каждое ребро графа за один такт можно передать не больше одного информационного слова размерностью 16 бит.

В качестве базовой топологии специализированной СтНК выбран широко распространенный матричный способ соединения [17] (mesh). Его преимуществами являются хорошая масштабируемость, равномерное использование ресурсов и одинаковый порядок длины связей между узлами. Последнее способствует повышению тактовой частоты и надежности СтНК [4]. Отображение ВМ на узлы СтНК показано на рис.4. Маршрутизаторы обозначены кругами, а ВМ – квадратами. Каждый маршрутизатор адресуется двумя целочисленными индексами  $ij$ , где  $i$  задает позицию в матрице по погоризонтали, а  $j$  – позицию по вертикали (от левого верхнего узла). Разрядность флита СтНК равняется длине информационного слова СнК (16 бит). Для определения маршрутов используется статическая покоординатная XY маршрутизация [17]. Соединения на рис.4 соответствуют полнодуплексным связям и состоят из двух транков противоположной направленности. Для обозначения транков используется следующая нотация:  $T_{ij \rightarrow kl}$ , где пара целых чисел  $ij$  индексирует узел-передатчик, а  $kl$  – узел-приемник, к кото-

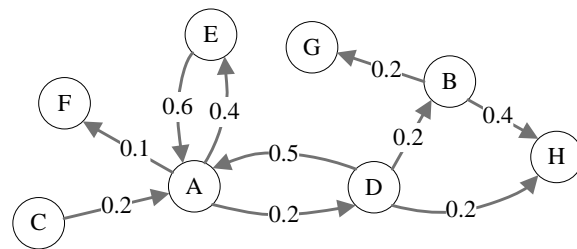


Рис.3. Граф задач тестовой системы на кристалле

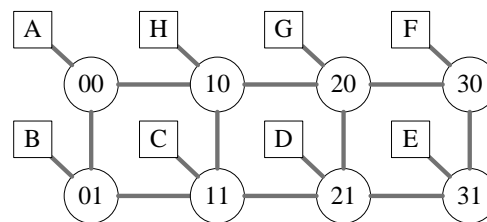


Рис.4. Структурная схема СтНК, соединяющей компоненты тестовой системы на кристалле

рым подключен транк  $T$ . Иногда вместо  $kl$  используется имя ВМ.

Отображение ВМ на структуру СтНК (рис.4) не является оптимальным и выбрано с целью имитировать значительную и неравномерно распределенную нагрузку на узлы и соединения СтНК, возникающую при создании специализированной СнК. Сопоставляя граф задач СнК (рис.3) и структуру СтНК (рис.4), можно сделать вывод, что наиболее “загруженными” транками являются  $T_{21 \rightarrow 11}, T_{11 \rightarrow 01}, T_{01 \rightarrow 00}$  и  $T_{00 \rightarrow A}$ . Коэффициенты использования этих транков превышают единицу:  $\gamma_{21 \rightarrow 11} = \gamma_{11 \rightarrow 01} = 1,5$  и  $\gamma_{01 \rightarrow 00} = \gamma_{00 \rightarrow A} = 1,3$ . Под коэффициентом использования  $\gamma$  понимается суммарное значение интенсивностей генерации заявок потоков данных, протекающих через транк. Значение  $\gamma > 1$  означает, что через соответствующее соединение необходимо передавать более одного флита за цикл тактовой частоты. Такая задача является неразрешимой для всех существующих на сегодняшний день архитектур СтНК, за исключением предложенного нами подхода, что подчеркивает преимущество применения АК в СтНК. Более того, высокие значения коэффициентов использования соединений между маршрутизаторами повышают вероятность БГК, что

приводит к увеличению транспортной задержки.

Задачу по созданию специализированной СтнК можно сформулировать следующим образом – необходимо обеспечить транспортную задержку всех потоков данных не выше 150 циклов тактовой частоты при минимальных аппаратурных затратах. Для решения поставленной задачи создана модель СтнК в соответствии со структурой показанной на рис.4 с использованием синтезируемого подмножества языка System Verilog. Основным элементом сети стал исследованный в предыдущем разделе специализированный маршрутизатор с АК. Для каждого транка созданной СтнК существует возможность определить индивидуальное количество ФК. Технически это реализовано при помощи многомерного массива. Транспортные задержки потоков данных получены путем моделирования предлагаемой СтнК в среде ModelSim. Процесс моделирования проходит следующим образом. VM подключенные к маршрутизаторам с интенсивностью  $\lambda$  вводят в сеть флиты пакетов данных. Длина каждого пакета составляет пять флитов, а значения  $\lambda$  показаны на рис.3. За время моделирования каждый VM создает 2100 пакетов (10 500 флитов). Моделирование завершается, когда все сгенерированные пакеты достигнут пунктов назначения. Для обеспечения перехода сети в установившийся режим подсчет транспортной задержки VM-приемником начинается после регистрации первых 100 пакетов.

Для оценки аппаратурных затрат различных конфигураций предлагаемой

СтнК использованы результаты синтеза ее System Verilog модели в среде Quartus II. В качестве целевой микросхемы выбрана EP4SGX230KF40C2 семейства Stratix IV.

Вначале рассмотрим случай, когда все транки СтнК содержат по одному ФК. Такая архитектура будет гомогенной, а поэтому неспециализированной. Задержки потоков данных для подобной конфигурации СтнК представлены в первой строке табл.2, а ее аппаратурные затраты – в начале табл.3. Отметим, что в табл.2 приведены лишь максимальные значения задержек, тогда как их средние значения могут быть в несколько раз ниже. Как видно из табл.3, синтез полученного решения влечет минимальные аппаратурные затраты, однако требования к транспортной задержке для потоков  $D \rightarrow H$ ,  $D \rightarrow B$ ,  $D \rightarrow A$  и  $E \rightarrow A$  не выполняются.

Повышение числа ФК в транках сети до двух позволяет добиться допустимой величины задержки для потока  $E \rightarrow A$  и уменьшить задержки остальных “проблемных” потоков в среднем на 55%, доведя их до 172, 170 и 173 циклов тактовой частоты. Аппаратурные затраты СтнК в таком случае увеличиваются на 125%. Из табл.2 следует, что для гомогенной структуры СтнК обеспечить допустимую задержку для всех потоков удастся лишь для конфигурации с тремя ФК на транк. Такое решение будет наиболее аппаратурно дорогим, требуя для своей реализации на 300% больше ресурсов FPGA по сравнению с первоначальным вариантом.

В четвертой строке табл.2 представлена конфигурация специализированной СтнК, удовлетворяющая требованиям к

Таблица 2. Транспортные задержки потоков данных для различных конфигураций СтнК с АК

Число ФК в транках СтнК	Транспортные задержки потоков данных, циклы тактовой частоты (макс. значения)									
	$A \rightarrow F$	$A \rightarrow E$	$A \rightarrow D$	$B \rightarrow G$	$B \rightarrow H$	$C \rightarrow A$	$D \rightarrow H$	$D \rightarrow B$	$D \rightarrow A$	$E \rightarrow A$
Все транки содержат 1 ФК	73	79	74	63	65	63	386	380	414	415
Все транки содержат 2 ФК	73	79	74	57	59	33	172	170	173	72
Все транки содержат 3 ФК	73	79	74	57	59	17	137	136	139	40
$T_{21 \rightarrow 11} = T_{11 \rightarrow 01} = T_{01 \rightarrow 00} =$ $= T_{00 \rightarrow A} = 3$ ФК; $T_{11 \rightarrow 10} = T_{10 \rightarrow H} = 2$ ФК; Все остальные транки содержат 1 ФК;	73	79	74	57	59	17	139	138	140	40

Таблица 3. Аппаратурные затраты различных конфигураций СтнК с АК

Число ФК в транках СтнК	<i>LUT</i>	<i>Trig.</i>	<i>Fmax,</i> <i>МГц</i>
Все транки содержат 1 ФК	4 410	3 080	231
Все транки содержат 2 ФК	11 048	5 704	180
Все транки содержат 3 ФК	21 176	8 976	145
$T_{21 \rightarrow 11} = T_{11 \rightarrow 01} = T_{01 \rightarrow 00} = T_{00 \rightarrow A} = 3$ ФК $T_{11 \rightarrow 10} = T_{10 \rightarrow H} = 2$ ФК Все остальные транки содержат 1 ФК	6 535	4 038	205

транспортной задержке для всех потоков данных. Количество ФК в транках определялось при помощи следующего метода, предложенного авторами. Изначально все транки инициализируются единственным ФК. На первом этапе метода, при помощи моделирования в ModelSim, оцениваются транспортные задержки потоков и коэффициенты использования транков. Далее производится нормировка, состоящая в делении полученных значений на количество потоков протекающих через соответствующий транк. В качестве кандидата для увеличения числа ФК выбирается транк, содержащий наибольшее значение нормированного коэффициента использования при условии, что через него протекает поток для которого не выполняются требования к транспортной задержке. Описанные действия повторяются итеративно до соответствия транспортным задержкам потоков заданным требованиям. Таким образом, на каждом этапе количество ФК инкрементируется для наиболее загруженного транка. В данном исследовании вышеописанный метод реализован вручную.

Результаты синтеза созданной специализированной СтнК приведены в последней строке табл.3 и свидетельствуют о том, что аппаратные затраты удалось снизить на 65% (более чем в два раза) по сравнению с гомогенной СтнК содержащей по 3 ФК в каждом транке и аналогичной по транспортным задержкам. При этом максимальная тактовая частота специализированной СтнК выросла на 41%.

### **Выводы**

В работе предложена и исследована конструкция специализированного маршрутизатора для СтнК с АК, позволяющая

произвольно задавать количество ФК в транках маршрутизатора. Показано, что в случае неодинакового количества потоков данных, протекающих через агрегированные соединения устройства, такой подход позволяет значительно (на 56%) сократить его аппаратные затраты.

Предложен и исследован метод создания специализированной СтнК, у которой количество ФК в каждом транке пропорционально числу протекающих через него потоков данных. С использованием разработанного метода создана специализированная СтнК, аппаратные затраты которой более чем в два раза (на 65%) ниже по сравнению с ее гомогенным аналогом, а максимальная тактовая частота на 41% выше.

Вектор дальнейших исследований направлен на создание алгоритма, автоматизирующего предложенный метод синтеза специализированных СтнК с АК.

### **Литература**

1. Angiolini F., Meloni P., Benini L. A layout-aware analysis of networks-on-chip and traditional interconnects for mpsoes // IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems. – 2007. – Vol.26, №3. – P. 421–434.

2. Lee H.G., Ogras U.Y., Marculescu R. On-chip communication architecture exploration: A quantitative evaluation of point-to-point, bus and network-on-chip approaches // ACM Transactions on Design Automation of Electronic Systems.– 2007.– Vol.12, №3. – P. 1-20.

3. Dally W., Towles B. Route packets, not wires: on-chip interconnection networks // Proceedings of the 38th annual Design

Automation Conference (June 2001). – Las Vegas, USA. – P.684-689.

4. *Bjerregaard T., Mahadevan S.* A survey of research and practices of network-on-chip // *ACM Computing Surveys.*– 2006.– Vol.38, №1.– P.1-51.

5. *Atienza D., Angiolini F., Benini L.* Network-On-Chip Design and Synthesis Outlook // *Integration The VLSI journal.*– 2008.– Vol.41, №3.– P.340-359.

6. *Marculescu R., Bogdan P.* The Chip Is the Network: Toward a Science of Network-on-Chip Design // *Foundations and Trends in Electronic Design Automation.* – 2009. – Vol.2, №4. – P.371-461.

7. *Marculescu R., Ogras U.* Outstanding Research Problems in NoC Design: System, Microarchitecture and Circuit Perspectives // *IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems.*– 2009.– Vol.28, №1.– P.3-21.

8. *Gu H.* Survey of dynamically reconfigurable Network-on-chip // in *Proc. of International Conference on Future Computer Sciences and Application* (June 2011).– Hong Kong, China.– P. 200-203.

9. *Dally W.J.* Performance analysis of k-ary n-cube interconnection networks // *IEEE Transactions on Computers.*– 1990.– Vol.39, №6.– P.775-785.

10. *Dally W.J.* Virtual-channel flow control // *IEEE Transactions on Parallel and Distributed Systems.*– 1992.– Vol.3, №2.– P.194-205.

11. *Korotkiy E.V., Lysenko O.M., Tereshin M.O.* Link aggregation in networks-on-chip // *Прикладная радиоэлектроника.*– 2011.– том 10, № 3.– С. 330-336.

12. *Korotkiy I., Lysenko O.* Hardware implementation of link aggregation in networks-on-chip // in *Proc. of World Congress on Information and Communication Technologies* (Dec.2011).– Mumbai, India.– P.1112-1117.

13. *Mello A., Calazans N., Moraes F.* Virtual channels in networks on chip: implementation and evaluation on Hermes NoC // in *Proc. of 18th Symposium Integrated Circuits and System Design* (2005).– New York, USA.– P.178-183.

14. *Mullins R., West A., Moore S.* Low-latency virtual-channel routers for on-chip networks // in *Proc. of 31-th International Symposium on Computer Architecture* (June 2004).– Munich, Germany.– P.188-197.

15. *Короткий Е.В., Лысенко А.Н.* Влияние виртуальных каналов на транспортную задержку сети на кристалле // *Проблеми інформатизації та управління.*– 2011.– №4.– С. 69-73.

16. Netmaker.– Режим доступа: <http://www-dyn.cl.cam.ac.uk/~rdm34/wiki>

17. *Dally W.J., Towles B.* Principles and Practices of Interconnection Networks.– San Francisco: Morgan Kaufmann Publishers, 2004.– 550p.