

УДК 004.3(045)

Красовська Є.В.  
Єфимець В.М., канд. техн. наук

## ВИСОКОПРОДУКТИВНИЙ ПОТОКООРІЄНТОВАНИЙ ОБЧИСЛЮВАЧ

Інститут комп'ютерних технологій  
Національного авіаційного університету

*Запропонована структура потокоорієнтованого обчислювача. Підвищення продуктивності досягається за рахунок роздільної зовнішньої пам'яті команд і даних та модульної організації основної пам'яті. Для розширення функціональних можливостей обчислювальних структур запропоновано паралельне виконання команд без конвєрсації*

### **Актуальність теми**

У зв'язку із зростаючими вимогами до підвищення швидкості і точності обробки інформації розширюється коло вирішуваних задач і алгоритмів, а відповідно актуальним є створення нових високопродуктивних обчислювальних систем на основі спеціалізованих функціональних обчислювачів. Сучасна елементна, технологічна і методологічна база дозволяє створювати обчислювачі високого рівня, оптимально акумулюючи в них найбільш ефективні елементи і технічні рішення.

### **Постановка проблеми**

В даний час необхідно рішення ряду задач, пов'язаних з обчислювальними розрахунками, існує багато математичних моделей, які потребують високопродуктивної обчислювальної середовища [1].

Зазвичай, проблеми ці пов'язані з інтенсивними обчисленнями або обробкою великих масивів даних. Існуючі архітектури мають обмежену масштабованість, а їх розвиток відстає від розвитку елементної бази. Для рішення сучасних задач необхідні обчислювальні потужності принципово іншого рівня.

Задачі, що виконуються вбудованими обчислювачами різного призначення, дуже різноманітні, але між ними є багато спільного:

- великі об'єми вхідних даних;
- функціональна гнучкість (різні задачі та багатозадачний режим);
- гетерогенна, мультипротокольна інтерфейсна середовища;

– необхідність обробки даних в режимі реального часу;

– необхідність покращення масогабаритних показників і параметрів енергоспоживання;

– необхідність забезпечення високої надійності, відмовостійкості і живучості;

– розподілення задач по ступеню їх критичності.

Стационарні зверхпродуктивні обчислювачі характеризуються іншими вимогами та особливостями:

– максимально досягаема пікова продуктивність, обмежена лише можливостями елементної бази, а не архітектурою побудови системи;

– можливість адаптації до широкого кола задач із забезпеченням максимальної пікової продуктивності;

– гнучкість та зручність засобів розробки прикладних задач;

– нарощення ресурсів шляхом масштабування;

– масогабаритні параметри;

– стійкість функціонування.

Розглянемо задачі, які характеризуються високими вимогами до продуктивності та об'ємів оброблюваних даних. Такі прикладення є дуже актуальними.

### **Аналіз відомих досліджень**

Провідні закордонні фірми *Intel*, *Motorola*, *DEC*, *NEC*, *Harris*, *Texas Instruments* і інші в галузі розробки елементної бази випустили ряд процесорних систем загального й спеціального призна-

чення, на базі яких розроблено цілий ряд комп'ютерних систем. Процесорні системи загального призначення можна розділити на ряд класів. Це насамперед процесори з повним набором команд (*CISC*-системи), зі скороченим набором команд (*RISC*-системи), з розширеним словом команд (*VLIW*-системи) і системи спеціального призначення. Особливістю цих систем є їхній розширений набір команд у мікропрограмній реалізації. Це дає певні переваги в розробці програмного забезпечення, проте негативно впливає на швидкість виконання програм. Взаємодія процесорів і арифметичних співпроцесорів не є паралельною, а фактично послідовною.

Найбільш прогресивною є *RISC*-архітектура процесорів. До таких архітектурних рішень прийшли шляхом визначення вузьких місць в архітектурах *CISC*-процесорів. Це привело до визначення скороченого набору команд, що часто зустрічаються, їхньої апаратної реалізації, удосконаленню процесів конвеєризації й дешифрації команд, що значно збільшують ефективність виконання програм.

Спадкоємцем *RISC*-систем є системи з паралельною обробкою команд (*VLIW*-системи). Архітектура таких процесорних систем заснована на об'єднанні декількох команд в одному командному слові. Це дає можливість організації сполученої паралельної обробки.

Особливістю систем спеціального призначення є великий обсяг обчислень, робота в реальному часі, обробка оцифрованої сигнальної інформації. Типовими представниками таких систем є потокові процесори, мультипроцесорні системи для обробки сигналів й інші.

Значним кроком на шляху збільшення продуктивності процесорних систем є їхня орієнтація на паралельно-конвеєрну й матричну обробку інформації, мультипроцесорну обробку інформації, хвильо-потоківу обробку інформації. Особливістю таких систем є використання декількох процесорів для виконання обчислювального процесу. Це дає великий ефект при рішенні завдань, що допус-

кають паралельно-потоківу рішення. До таких завдань відносяться завдання цифрової обробки сигнальної інформації, графічної інформації, моделювання руху літальних об'єктів і інші класи завдань.

### **Особливості архітектури високопродуктивного обчислювача**

Архітектурні особливості обчислювача орієнтують його на цифрову обробку сигналів, обробку даних у формі із плаваючою крапкою, ефективну обробку структурованих даних, модульний принцип виконання програм. Передбачено сигнали, що забезпечують організацію колективної роботи декількох обчислювачів із загальними ресурсами (пам'яттю), побудову розподілених паралельно-конвеєрних структур на їхній базі.

Архітектурні особливості, такі як фіксоване слово команд і одноктактна їхня реалізація, дозволяють значно спростити процес дешифрації й виконання команд обчислювача, сполучити декілька команд в одному слові команд для одночасного їх виконання. Ці особливості спрощують взаємозв'язок між операційним і інтерфейсним блоком обчислювача та керування внутрішніми процесами в ньому.

Обробка цифрової інформації може виконуватися обчислювачем у режимах самостійного виконання програм та під керуванням ЦП.

У режим самостійного виконання програм обчислювач може бути переведений шляхом подачі на нього спеціального сигналу. У другому режимі ЦП взаємодіє з обчислювачем як з пам'яттю, передаючи команди й дані шляхом запису їх у пам'ять й зчитуючи з неї результати виконання команд і програм обчислювача.

Розроблено архітектуру команд обчислювача, що повністю відбиває особливості його архітектури. Обчислювач складається з помножувача/накопичувача, паралельного зсувача на 48 розрядів, блока нормалізації (визначає позицію одиниці в 48-розрядному операнді), арифметико-логічного пристрою (АЛП), реєстрового блоку з віконним інтерфейсом, пам'яті даних (64 слова), пам'яті команд (64 сло-

ва), буфера *FIFO* (2 слова), блока обробки адреси. На рис. 1 подано синтезовану структуру високопродуктивного обчислювача.

*A*, *B*, *S0*, *S1*, *S2* – реєстри блоку помножувача-накопичувача, *SU*, *AK* – АЛП. Регістровий блок фізично складається з 32 реєстрів *F0*, *F1*, ..., *F31*, доступ до яких можливий через логічні реєстри *R0*, *R1*, *R2*, *R3*, *R4*, *R5*, *R6*, *R7* поточного реєстрового вікна, яке адресується 3-розрядним реєстром. *OKN* – 3-розрядний реєстр поточного вікна.

Фізичний реєстр реєстрового блоку вибирається таким чином:  $F_j$ , де  $j=OKN*4+i$ , а  $i$  – індекс відповідного реєстра  $R_i$ .

*ADR\_MEM\_DATA* – 6-розрядний адресний реєстр пам'яті даних.

*ADR\_MEM\_COM* – 6-розрядний адресний реєстр команд – адресують поточні комірки пам'яті даних і команд.

*RAN* – реєстр адреси подійного переривання. З появою сигналу подійного переривання обчислювач переходить на виконання програми з адреси, розміщеної в реєстрі *RAN*.

*R\_COM*, *R\_MEM* – реєстри адреси зовнішніх команд і даних, які адресуються у межах банку пам'яті. Ці реєстри адресують поточні слова – комірки відповідно виконуваних команд і оброблюваних даних.

*BR\_COM*, *BR\_MEM* – 6-розрядні реєстри адреси банків пам'яті зовнішніх команд і даних. Ці реєстри адресують поточні банки пам'яті відповідно виконуваних команд і оброблюваних даних.

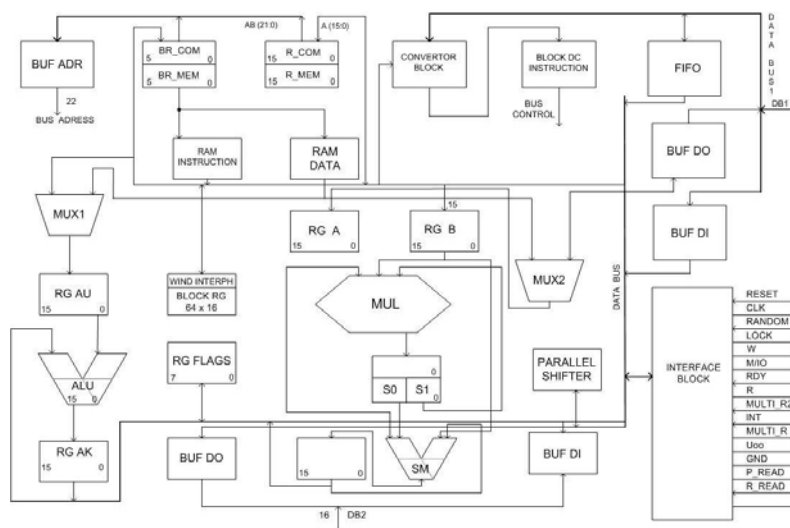


Рис. 1. Синтезована структура високопродуктивного обчислювача

### **Характеристика й особливості використання високопродуктивного потокоорієнтованого обчислювача**

Розробка високопродуктивного обчислювача в КМОН-варіанті вимагає проведення комплексів досліджень, пов'язаних із вибором алгоритмів виконання основних арифметичних операцій, вибором архітектури обчислювача, вибором функціональних і схемотехнічних рішень вузлів ВІС.

Необхідно передбачити деякі архітектурні особливості обчислювача: вхід-

на/вихідна шина даних і адресна шина розділені; наявність локальної пам'яті даних і програм поза кристалом із блоковою організацією доступу; паралельний зсувач праворуч/ліворуч на задану кількість бітів; наявність одноктактного помножувача/накопичувача/зсувача; реєстровий блок з віконним інтерфейсом доступу.

Високопродуктивний обчислювач повинен мати наступні режими роботи: самостійного виконання програми (при поданні на процесор спеціального сигналу й виконувати програму з деякої фіксованої адреси); під безпосереднім керуванням центрального процесора (ЦП); робота

з локальною пам'яттю (ЛП) обчислювача і прямим доступом до основної пам'яті.

Під керуванням ЦП може перебувати декілька обчислювачів, які можуть працювати як незалежно один від одного (паралельна робота), так і у взаємозв'язку між собою (конвеєрне з'єднання), виконуючи конвеєрну обробку потоків даних. При цьому можлива взаємодія декількох ЦП із декількома обчислювачами. Доступ до зовнішньої ЛП організується як з боку ЦП, так і з боку даного процесора. Причому одночасний доступ можливий лише до різних блоків пам'яті.

Для ЦП керуючі й інформаційні регістри обчислювача адресуються як деякі комірки пам'яті. ЦП через них взаємодіє із обчислювачем, передаючи або приймаючи дані й керуючу інформацію. Обчислювач володіє маскуємою можливістю звернення до основної пам'яті ЦП за допомогою прямого доступу. У режимі самостійного виконання обчислювач взаємодіє з ЛП. Як ЛП може бути використаний постійний запам'ятовуючий пристрій (ПЗП), програмований ПЗП (ППЗП), двухпортовий оперативний ЗП (ОЗП) й т.п. Частина ЛП може бути постійною, а частина – оперативною. Необхідно передбачити можливість поділу ЛП на блоки з можливістю їхнього перемикавання. Це дає можливість обробки цифрової інформації при інтенсивних потоках даних. Наявність розділених вхідних і вихідних шин даних дозволяє організувати конвеєрну обробку потоків цифрової інформації шляхом з'єднання послідовно декількох обчислювачів у ланцюг через проміжні буфери. Таким чином, користувачеві надається можливість організації декількох паралельних ланцюжків обчислювачів з конвеєрною обробкою даних.

Обчислювач повинен виконувати операції завантаження й пересилання, логічні операції над цілими операндами, операції зсуву над цілими операндами, набір одноктактних арифметичних операцій, інструкції керування з ЦП, операції керування.

Визначено галузь застосування обчислювачів: у системах з паралельною обробкою числової інформації (дії над матрицями, рішення систем рівнянь, виконання паралельних розрахунків, моделювання руху літальних об'єктів, моделювання процесів, що вимагають інтенсивних розрахунків, конвеєрна обробка великих інформаційних потоків, обробка графічної інформації, зображень); у системах цифрової обробки сигналів (цифрова фільтрація, мовна обробка, обробка радіолокаційної, сейсмічної, й т.п., прийом/передача цифрової інформації на відстані в системах телефонного зв'язку, телевідеозв'язку й ін.).

На базі високопродуктивного обчислювача доцільно організувати плату розширення, яка встановлюється в комп'ютер, що дозволяє в паралельному режимі виконувати математичну обробку інформації (перемноження матриць, рішення систем рівнянь, обчислення складних функцій, доповнюючи можливості арифметичного співпроцесора при його наявності або його заміняючи, емулюючи роботу співпроцесора, значно розширюючи при цьому його можливості як по швидкості обчислення, так і по виконуваних командах) або обробку потоків цифрової інформації (фільтрація, ущільнення сигналів, моделювання руху літальних об'єктів, обробка радіолокаційної інформації, і т.п.).

На рис. 2 подано схему виводів обчислювача.

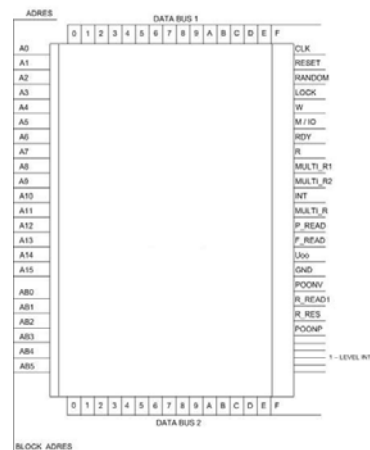


Рис. 2. Схема виводів обчислювача

Такими платами розширення можна організувати паралельно-конвеєрну обробку інформації на ПК, значно при цьому збільшуючи їхні можливості й переводячи ПК у нову якість.

Призначення виводів мікросхеми обчислювача:

1)  $A(15-0)$ ,  $AB(5-0)$  – виводи, що утворюють адресну шину,  $A(15-0)$  – адресація даних у межах банку пам'яті до 64К,  $AB(5-0)$  – вибір одного з банків пам'яті по 64К. Доступна пам'ять обчислювача розбивається на банки по 64 К. Адресація виконується за допомогою виводів  $A(15-0)$ . За допомогою виводів  $AB(5-0)$  вибирається необхідний банк. Таких банків може бути  $64=2^6$  (зовнішня пам'ять становить  $2^{22}=4$  Мб). Вибір необхідного банку виконується програмним шляхом за допомогою відповідних команд.

При обробці даних в одному банку пам'яті дані іншого банку можуть готуватися або оброблятися паралельно незалежними засобами. Дана доступна пам'ять може бути як пам'яттю команд, так і пам'яттю даних, і вибір банків даних або команд відбувається за допомогою сегментних регістрів даних і команд.

2)  $DATA\ BUS\ 1$  – вхідна/вихідна шина даних 1.

3)  $DATA\ BUS\ 2$  – вхідна/вихідна шина даних 2.

4)  $RESET$  – скидання процесора.

5)  $CLK$  – вивід синхронізації.

6)  $RANDOM$  – вхід сигналу подійного переривання процесора. Поява сигналу на цьому вході переводить обчислювач на виконання програми з деякої фіксованої адреси, що перебуває в регістрі. Завантаження даної адреси в регістр виконуються програмним шляхом. Тривалість даного сигналу не менше тривалості 1 такту роботи процесора. Якщо не передбачається подійна обробка, то даний сигнал встановлюється в  $GND$ .

7)  $LOCK$  – вихід сигналу блокування каналу, що вказує іншим пристроям на заборону використання системного каналу, доки сигнал  $LOCK$  встановлено. Даний сигнал встановлюється по команді

$LOCK$  на час виконання наступної команди. Він використовується в багатопроекторних системах для організації керованого доступу до загальних ресурсів.

8)  $W$  – вихід сигналу запису, який використовується для запису інформації в ЗП або пристрій вводу/виводу (ПВВ) в залежності від стану сигналу  $M/IO$ . Цей сигнал встановлюється при виконанні команд запису даних у ЗП або ПВВ залежно від значення сигналу  $M/IO$  і знімається по закінченню такту в тому випадку, якщо встановлено сигнал готовності  $RDY$ .

9)  $M/IO$  – вхід сигналу звернення до ЗП, якщо сигнал встановлений або до ПВВ, якщо він скинутий.

10)  $RDY$  – вхід сигналу готовності, що надходить від зовнішніх пристроїв, який підтверджує їхню готовність до обміну. Цей сигнал забезпечує роботу обчислювача з повільними ПВВ або ЗП.

11)  $R$  – вихід сигналу читання, який використовується для читання інформації в ЗП або ПВВ в залежності від стану сигналу  $M/IO$ . Цей сигнал встановлюється при виконанні команд запису даних у ЗП або ПВВ залежно від значення сигналу  $M/IO$  і знімається по закінченню такту в тому випадку, якщо встановлено сигнал готовності  $RDY$ .

12)  $MULTI\_R1$  – сигнал запиту доступу до загального каналу обчислювача. Сигнал встановлюється й знімається програмним шляхом за допомогою спеціальних команд і вимагає доступу до загального ресурсу. Доступ до загального ресурсу можливий, якщо встановлено сигнал  $MULTI\_R2$ .

13)  $MULTI\_R2$  – сигнал дозволу доступу до загального каналу обчислювача. Цей сигнал встановлюється, якщо дозволено доступ до загального ресурсу і йому відповідає ознака дозволу доступу до загального ресурсу. Він використовується в командах читання/запису за умови дозволу доступу до загального ресурсу.

14)  $MULTI\_R$  – вихід сигналу блокування каналу, що вказує іншим пристроям на заборону використання загального каналу доки встановлений даний сигнал.

Даний сигнал встановлюється й знімається програмним шляхом за допомогою спеціальних команд.

15) *INT* – вхід, що запам'ятовує сигнал у спеціальному тригері, що опитується по завершенню виконання кожної команди, з появою цього сигналу керування передається на підпрограму обробки переривань.

16) *P\_READ* – вихідний сигнал, що супроводжує видачу даних на вихідну шину даних *DATA BUS2*.

17) *R\_READ* – вхідний сигнал, по якому обчислювач приймає дані по шині *DATA BUS1* і буферизує їх, якщо встановлено сигнал *R\_READ1* і приймає їх як командний потік, якщо сигнал *R\_READ1* скинутий. За сигналом *R\_READ* і закінченням такту відбувається фіксація інформації.

18)  $U_{oo}$  – напруга живлення – 5 В.

19) *GND* – корпус.

20) *PCONV* – вихідний сигнал, що повідомляє про готовність обчислювача приймати дані для їх буферизації.

21) *PCONP* – вхідний програмоопитуємий сигнал, що сигналізує про готовність приймача приймати дані від обчислювача по шині *DATA BUS2*.

22) *R\_READ1* – вхідний сигнал, за яким обчислювач приймає від керуючого пристрою команди і їх виконує.

23) *R\_REG* – вхідний сигнал, за яким вибирається режим роботи обчислювача – під управлінням іншого ЦП або в режимі самостійної роботи. По цьому сигналу і сигналу скидання встановлюється початковий режим роботи АП.

Проаналізувавши архітектурні особливості, принципи організації й систему команд процесорів загального й спеціального призначення, визначено тенденції й шляхи розвитку процесорної елементної бази. Для рішення завдань, що вимагають інтенсивної обчислювальної обробки, моделювання складних обчислювальних процесів і систем, цифрової обробки сигналів, розглянуті можливості й особливості побудови розподілених структур на базі цих процесорів. Опираючись на про-

ведений аналіз, розроблена архітектура обчислювача, орієнтованого на побудову розподілених паралельно-конвеєрних структур.

### **Висновки**

Перевагою розробленого обчислювача є призначення його для рішення широкого кола задач. Подане технічне рішення однаково ефективно може бути використане як у вбудованих застосуваннях, так і в стаціонарних системах.

Високопродуктивний обчислювач може бути реалізований при будь-якій кількості розрядів. Наявність регістрових вікон для виключення затримки при зверненні до підпрограми, наявність зверхперативної пам'яті команд та даних, а також роздільної пам'яті, модульна організація основної пам'яті з реалізацією гарвардської архітектури, використання спеціалізованого пристрою множення нагромадженням, короткий командний цикл, розширений конвеєрний режим дозволяють використовувати його у автономному режимі і як прискорювач. Такі процесори мають розвинені комунікаційні здібності.

Перераховані особливості таких обчислювачів орієнтують на широкий спектр практичних застосувань. Його застосування розширює й доповнює можливості відомих процесорних систем.

### **Список літератури**

1. *Боян В.П.* Динамическая теория информации. Основы и приложения. – К.: Ин-т кибернетики им. В.М. Глушкова НАН України, 2001. – 326 с.

2. *Жуков И.А.* Методология синтеза параллельных вычислительных систем // Проблемы информатизации и управления. – К.: КМУЦА. – 1997. – Вип.2. – С. 7–10.

3. *Жуков И.А.* Принципы структурно-функциональной организации вычислительных устройств для моделирования элементарных функций и матричных операций // Проблемы информатизации и управления. – К.: КМУЦА. – 1997. – Вип.1. – С. 76–80.

*Подано до редакції 26.02.10*