

Жуков І.А., д-р. техн. наук  
Клименко І.А., канд. техн. наук

## МОДУЛЬ ОПЕРАТИВНОЇ ПАМ'ЯТІ ДЛЯ RISC ПРОЦЕСОРА НА ПЛІС

Інститут комп'ютерних технологій  
Національного авіаційного університету

*На сучасному ринку мікроелектроніки з'являються мікропроцесорні системи убудовані в один кристал. В статті розглянуті особливості та переваги застосування технології ПЛІС для побудови систем на кристалі. Наведені особливості сучасної елементної бази. Виконане моделювання модуля НОЗП спеціалізованого процесора RISC-архітектури в САПР Quartus II Altera*

### Вступ

Стрімкий розвиток програмованих логічних інтегральних схем (ПЛІС) на протязі останніх кількох років, пов'язаний зі стрімким збільшенням ступеня інтеграції до мільйонів логічних вентилів і швидкодії відкриває нові перспективи у виробництві та покращенні параметрів цифрових пристроїв.

З появою дешевих швидкодіючих ПЛІС із високою ступеню інтеграції стало практично й рентабельно вбудовувати модулі мікропроцесорних систем в один кристал ПЛІС, при цьому на одній мікросхемі реалізується вся логіка системи, включаючи ядро процесора й модулі пам'яті [1 - 3].

ПЛІС платформа пропонує багато потенційних переваг, включаючи високу інтеграцію, швидкодію, низькі виробничі витрати, простоту розробки й модифікації всіх модулів системи. Програмне ядро центрального процесора дозволяє реалізувати спеціалізовані інструкції й функціональні модулі, а так само може бути кілька разів скопійовано на одному кристалі для збільшення продуктивності системи. Розробка унікальних процесорних ядер для мікропроцесорних систем на кристалі дозволить ефективно здійснювати управління системою, впливати на продуктивність і строк придатності системи, оптимізувати систему для рішення певних завдань.

Розробка процесорних ядер на ПЛІС на сьогодні перестало бути ексклюзивною

областю для елітних проектувальників у великих компаніях. Для широкого кола розроблювачів стало можливе побудова компактних, швидкодіючих процесорних ядер і навіть мікропроцесорних систем на кристалі ПЛІС у лабораторних умовах. Сучасні інструменти синтезу й налагодження, такі як мови HDL і широкий набір систем автоматизованого проектування (САПР) так само доступні й недорогі, пропонуються компаніями виробниками ПЛІС разом із вільно розповсюджуваними убудованими бібліотеками різних функціональних модулів.

Дана стаття включає проект і розробку, синтезованого в САПР Quartus II Altera модуля оперативної пам'яті для процесорного ядра RISC архітектури на ПЛІС.

### Огляд сучасних ПЛІС

Традиційно протягом декількох десятиліть ПЛІС застосовувались для побудови різноманітних інтерфейсних вузлів, пристроїв управління й контролю, спеціалізованих блоків, для яких немає стандартних мікросхем і таке інше [4]. Однак, через невелику швидкодію й малу кількість еквівалентних логічних вентилів ПЛІС довго займали досить скромну нішу на ринку електронних компонентів. З появою сучасних швидкодіючих ПЛІС надвисокої інтеграції, що працюють на високих тактових частотах, їх вплив на світовий ринок значно розширився. Сучасні мікросхеми ПЛІС, виконані за 0,22-мікронної технології, здатні працювати на

частотах до 300 МГц і реалізують до 3 млн. еквівалентних логічних вентилів [4, 5].

Різне збільшення потужності сучасних ПЛІС створило передумови для реалізації не тільки простих контролерів й інтерфейсних вузлів, але й систем цифрової обробки сигналів, пристроїв управління в реальному часі найскладнішими технологічними процесами [3], інтелектуальних контролерів і нейронних мереж. Поява ПЛІС із наднизьким рівнем енергоспоживання відкриває широкі можливості за їх використання в мобільних мережах та портативних комп'ютерах.

Наведемо порівняльну характеристику основних класів *HBIC* [4].

Позитивні якості *ASIC*: можна реалізувати скільки завгодно складні пристрої, що складаються з мільйонів логічних вентилів; відсутність надмірності, як внутрішніх зв'язків, так і використаних вентилів, внаслідок максимальна швидкодія й мінімальне споживання потужності; невисока ціна у випадку налагодження серійного виробництва; енергонезалежність.

До *недоліків ASIC* варто віднести наступне: розробка *ASIC* досить дорогої і складний процес; готовий виріб розмішують в кристал, таким чином, подальша зміна пристрою неможлива; створення нових версій пристрою або модифікація вимагає повторення всього процесу виробництва.

Позитивні якості *FPGA*: надвисока степінь інтеграції; реалізація таких же складних функцій, які раніш могли бути вирішені тільки з використанням *ASIC*; з погляду реалізованих функцій мають більш гнучку структуру ніж *CPLD*; програмуються в лабораторних умовах, у відмінності від пристроїв внутрішня структура яких жорстко зашита на виробництві; привабливі не тільки для промислового виробництва, але й для невеликих компаній розроблювачів; просте внесення змін у структуру пристрою; скорочення строків виходу пристрою на ринок; функціональність пристрою може бути задана

на місці відповідно до спеціалізованих вимог замовника, пристрій може бути налагоджений й модифікований на місці; можна налагоджувати, як весь проект цілком, так й окремі частини пристрою; є можливість внутрісистемного програмування; вартість виготовлення нижче вартості виготовлення *ASIC*; дуже дешево можна створювати й налагоджувати опитні зразки, з подальшим налагоджуванням масового випуску на ІС; програмуватися однократно або багаторазово; мають невисоку доступну ціну.

Недоліком ПЛІС є їх енергозалежність. Програма зазвичай зберігається в енергозалежній пам'яті, при кожному включенні живлення мікросхеми необхідно заново конфігурувати її. Такі мікросхеми виробляють фірми *Xilinx* й *Altera*. Завантаження конфігурації відбувається за допомогою завантажника, що може бути убудований й у саму *FPGA*. Фірми виробники пропонують конфігураційні ПЗУ що при включенні живлення завантажує конфігурацію в ПЛІС. Фірми *Actel* й *Lattice Semiconductor* пропонують мікросхеми *FPGA*, в яких конфігурація зберігається енергонезалежній *Flash*-пам'яті, в таких ПЛІС програма зберігається при зникненні електроживлення.

### **Мікросхема CYCLON II**

Проект виконаний на мікросхемі *Cyclon II* фірми *Altera*. Сімейство мікросхем *FPGA Cyclone II* лідирує на ринку ПЛІС, завдяки високій логічній ємності, продуктивності, невисокій ціни, а також широкому додатковому набору убудованих функцій, які дозволяють застосувати програмувальну логіку далеко за межами її традиційного застосування. Дані ПЛІС випускаються на 300-мм пластинах по 90-мм технологічному процесі з напругою живлення ядра 1.2 В.

Основні характеристики сімейства [5]: логічна ємність – від 4608 до 68416 логічних елементів; містять убудовану пам'ять обсягом до 1,1 Мбіт із блочною організацією по 4608 біт у кожному блоці; різні типи мікросхеми містять до 150 убудованих 18×18 помножувачів; під-

тримують широкий набір стандартів вводу/виводу.

Пристрої *Cyclone II* розроблені для високошвидкісної, надійної передачі даних і можуть працювати з різними пристроями пам'яті типу *DDR*, *DDR II*, *SDR*, *SDRAM* за швидкості обміну до 668 Мбит/сек.

### **Розробка СОЗУ процесорного ядра**

В даній статті надано проект розробки модуля надоперативного запам'ятовуючого пристрою (НОЗП), як складової частини процесорного ядра *RISC* архітектури. Моделювання пристрою виконане у САПР *Altera Quartus II*. Пристрій реалізований на мікросхемі *Altera Cyclone II* та налагоджений за допомогою лабораторного стенду *Altera Development Kit DE2*.

Загальна структура процесора *RISC* архітектури наведена в роботі [6]. В процесорному ядрі використовується двоадресний надоперативний запам'ятовуючий пристрій, що входить до складу блоку обробки даних. Структура НОЗП представлена на рис. 2. Модуль складається з шістнадцяти чотирирозрядних регістрів *R15 – R0*, регістрів *PA* і *PB*, мультиплексорів *MA*, *MB*, дешифратора адреси *DA* та комбінаційного зсувача (*ZFB*).

Для управління НОЗП задіяні наступні сигнали, що надходять з інших пристроїв процесорного ядра:

*AA*[3 .. 0] – входи адрес регістрів НОЗП за каналом *A* (адреса першого операнду);

*AB*[3 .. 0] – входи адреси регістрів НОЗП за каналом *B* (адреса другого операнду);

*SB3* (*SB0*) – вхід (вихід) старшого (молодшого) розряду ЗСВ, інформація надходить із схеми управління станами та зсувами;

*BR*, *BL* – управління виконанням зсувів в зсувачі *ZFB*, формується відповідною мікроінструкцією;

*F*[3 .. 0] – вхід даних, надходження результату виконання мікрооперації;

*ENB\_IN* – дозвіл запису в НОЗП, формується відповідною мікроінструкцією;

*A*, *B* – операнди;

*CLK* – вхід тактового сигналу.

Модуль НОЗП забезпечує видачу інформації за двома незалежними каналами *A* і *B* (рис. 1.). Інформація на виходах *A* і *B* визначається відповідно адресами *AA* і *AB* регістрів НОЗП. Якщо на входах *AA* і *AB* встановлені адреси регістрів НОЗП, то на виходи *A* і *B* видається вміст відповідних регістрів. Адреси регістрів, що дорівнюють двійковим еквівалентам їх номерів, поступають на управляючі входи мультиплексорів *MA* і *MB*, які комутують виходи відповідних регістрів НОЗП на входи регістрів *PA* і *PB*. Запис інформації в НОЗП відбувається тільки за адресою виставленою по каналу *AB*. Адреса розкодовується дешифратором *DA*, який відкриває один з шістнадцяти логічних елементів *I* дозволяючи пройти сигналу *CLK* за яким відбувається запис слова в регістр.

Такт роботи процесорного процесора відповідає одному перепаду тактового сигналу *CLK*. У кожному такті роботи системи блок управління процесора за фронтом *CLK* формує управляючу мікрокоманду, поля якої містять всі мікроінструкції та управляючі сигнали для управління внутрішніми складовими процесора та управляючі сигнали до зовнішньої периферії. У складі мікрокоманди також можуть бути задані адреси регістрів НОЗП, над вмістом яких у даному такті виконуються задані мікрооперації.

Такт роботи процесора полягає в наступному. За фронтом сигналу *CLK* у регістр мікрокоманди завантажується мікрокоманда з виходу пам'яті мікрокоманд.

Управляючі сигнали надходять на входи складових блоків процесора, та разом з цим на входи *AA* і *AB* НОЗП надходять адреси регістрів. НОЗП є комбінаційним пристроєм вибір операндів у регістри *PA* і *PB* з відповідних регістрів НОЗП визначаються адресами на входах,

що управляють мультиплексорами. Регістри *RA* та *PB* управляються рівнем синхросигналу *CLK*. Таким чином за каналами *A* і *B* через час  $t_{RA,RB}$  (час формування операндів) встановлюються операнди. Далі відбувається перетворення операндів в арифметико-логічному блоці та за час  $t_{FREZ}$  на вході НОЗП формується результат виконання мікрооперації. За спадом синхросигналу *CLK*, якщо є відповідний

управляючий сигнал із мікроінструкції, результат фіксується в регістрі, адреса якого встановлена за каналом *AB*. Для забезпечення правильної роботи модуля НОЗП необхідно, щоб сигнали на управляючих входах не змінювали свого значення на протязі такту.

Результати моделювання наведені на рис. 2.

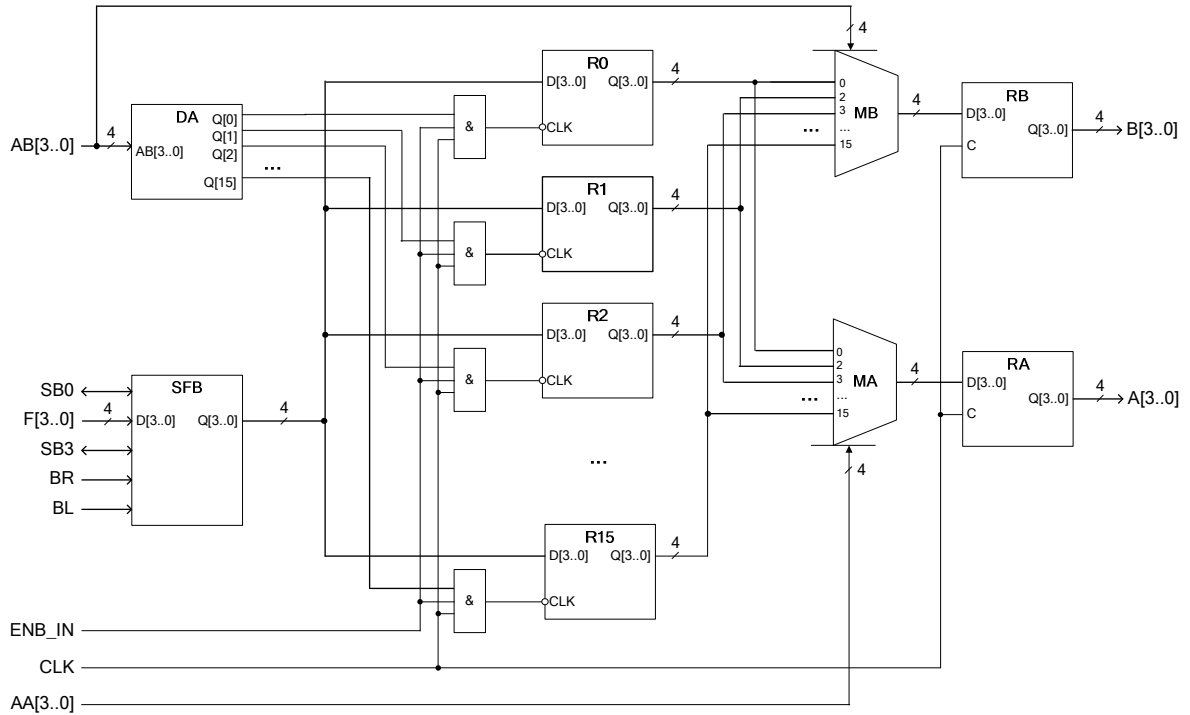


Рис. 1. Структура СОЗУ RISC процесора

Під час моделювання комбінаційного зсувача у САПР *Quartus II* отримані часові характеристики пристрою. Часове моделювання у САПР *Quartus II* виконується після розміщення та трасування проекту з урахуванням реальних затримок і часу розповсюдження сигналів на мікросхемі заданого сімейства та типу. Часові параметри за цього на 90% наближені до реальних [5]. Отримані дані порівняні з часовими характеристиками процесорного елемента *Am2903* фірми *Advanced Micro Devices* [7]. Отримані наступні значення:

Час встановлення даних в регістрах *RA*, *RB* від встановлення *CLK*,  $t_{RA,RB}$

**Am2903**

**Cyclon II**

93 ns

25 ns

**Висновки**

Сучасний рівень розвитку ПЛІС, їх швидкодія та ємність, дозволяє реалізувати системи на одному кристалі, що дає більший вигравш у продуктивності, ніж за використання класичних мікроконтролерів та ВІС, а також дозволяє прискорити швидкість процесів передачі даних, що зокрема є критичним для різноманітних сучасних управляючих систем. Застосу-

вання ПЛІС обумовлює простоту розробки та налагодження системи, а також дозволяє адаптувати систему під визначений об'єкт управління з максимальною продуктивністю та швидкодією.

Розроблений модуль НОЗП є складовою частиною процесорного ядра *RISC* архітектури. Моделювання пристрою виконане у САПР *Altera Quartus II* показало підвищення швидкодії роботи відносно класичних ВІС у два рази.

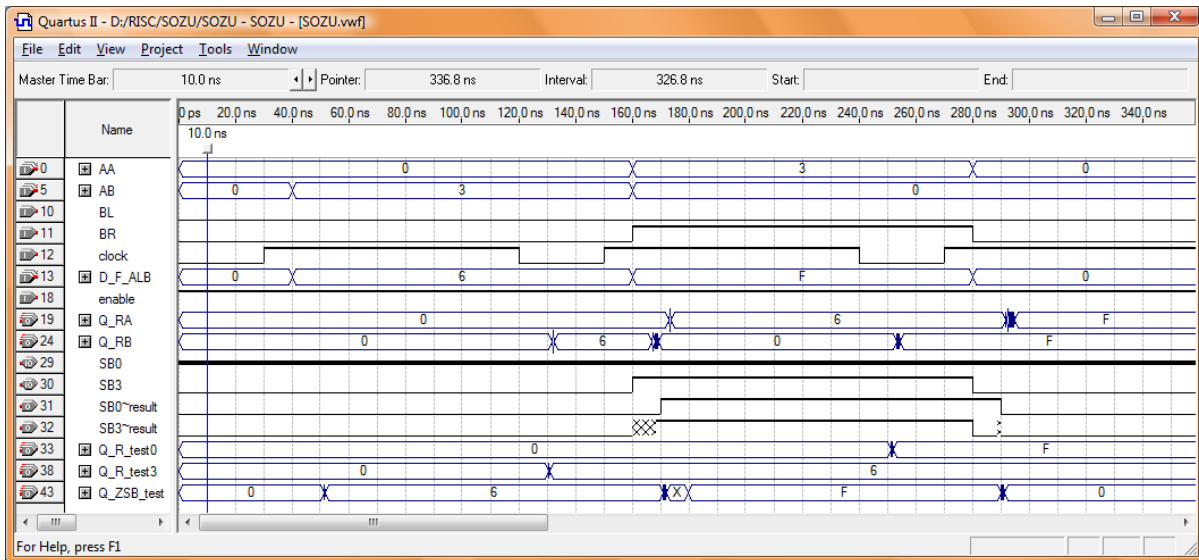


Рис. 2. Результати моделювання СОЗУ *RISC* процесора

### Список літератури

1. Brunelli C., Cinelli F., Rossi D., Nurmi J. A VHDL model and implementation of a coarsegrain reconfigurable coprocessor for a RISC core // The 2nd conf. on Ph.D. research in microelectronics and electronics-proceedings. – Prime, 2006. – P. 229 – 232.
2. Gray J. Designing a simple FPGA-optimized RISC CPU and system-on-a-chip. – 2000. – <http://citeseer.ist.psu.edu/article/gray00designing.html>.4.
3. Jerraya A., Tenhunen H., Wolf W. Multiprocessor Systems-on-Chips, MPSoC // IEEE Computer Society. – V. 38, №7, 2005.

4. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. – М.: Издательский дом «Додека XXI», 2007. – 408 с.
5. Cyclone II Device Handbook – <http://www.altera.com>.3.
6. Жабін В.І., Жуков І.А. Ткаченко В.В., Клименко І.А. Мікропроцесорні системи: Навчальний посібник. – К.: Видавництво «СПД Гуральник», 2009. – 492 с.
7. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией: Пер с англ. – М.: Мир, 1984. – Кн. 1. – 253 с.