

УДК 004.7(045)

Кременецький Г.М., канд. техн. наук

ВИКОРИСТАННЯ ПЛІС ДЛЯ ПОБУДОВИ КЛАСТЕРНИХ НЕЙРОННИХ МЕРЕЖ

Інститут комп'ютерних технологій
Національного авіаційного університету

Використання ПЛІС для побудови кластерів розподіленої мережі для прискорення локальних обчислень у кластері. Запропонована архітектурна схема використання

Вступ

Проблеми розподіленого функціонування нейронних мереж можна вирішувати засобами кластеризації [1, 2]. Ці методи дають шлях до використання Інтернету у якості великої нейронної мережі. Але у самих кластерах також можна здобути додаткове прискорення, якщо використовувати спеціалізовані плати розширення з додатковим програмним забезпеченням.

Постановка задачі

Загальна архітектура кластерної нейронної мережі [1] виглядає наступним чином рис. 1.

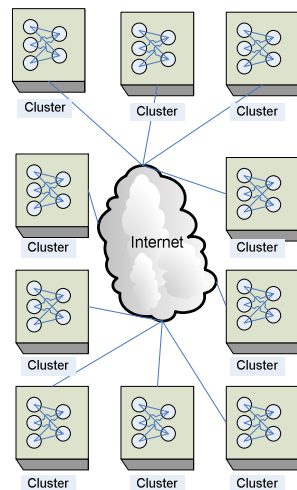


Рис. 1. Загальна архітектура кластерної нейронної мережі

Кожен кластер відповідає за попередню класифікацію/обробку первинної для нього інформації. Після підготовки даних (наприклад оформлення їх у вигляді SOAP запитів [2]) вони відправляються на подальший аналіз до інших кластерів.

Результатами роботи кожного з кластерів можуть бути кінцеві дані для одно-

го користувача (наприклад, прогноз біржових котировок) та початковими параметрами для іншого (наприклад, ті ж котировки для прогнозу стабільності економіки та зміни курсу валют).

У деяких випадках кластери можуть потребувати великої вузлів нейронної мережі. Цю проблему можна вирішувати двома шляхами: створювати обчислювальні мережі універсальних комп'ютерів рис. 2 або додавати до універсального комп'ютеру спеціалізовані плати розширення рис. 3.

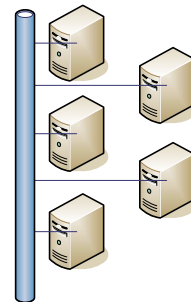


Рис. 2. Архітектура кластеру що побудовано на універсальних комп'ютерах

У випадку створення кластерів на універсальних комп'ютерах нам буде потрібно використовувати спеціалізоване кластерне програмне устаткування (наприклад, MOSIX для Linux/Unix систем). Тобто, фактично будувати сервер-комп'ютер.

Архітектура кластеру, який збудовано з використанням спеціалізованих плат розширення виглядає наступним чином рис. 3. Його розширення відбувається додаванням додаткових плат.

Також може існувати гібридна архітектура кластеру. Як можна здогадатися – це об'єднання першого та другого типів. Однак, у цьому випадку буде потрібно

створювати спеціальне програмне забезпечення для відповідного балансування навантаження. Тому що звичайні засоби кластерних оболонок не враховують використання спеціалізованих плат розширення.

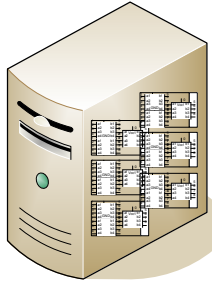


Рис. 3. Архітектура кластеру що побудовано з використанням спеціалізованих плат розширення

Розглянемо більш детально структуру кластера, що побудовано на спеціалізованих платах розширення. Фактично це звичайний універсальний комп'ютер до апаратної частини якого додали спеціальні плати розширення. Плати розширення повинні буде виконано з інтерфейсом *PCI*, який є сьогодні найбільш поширеним та простим у реалізації. Для його створення існує багато готової апаратної логіки та для нього створено програмні бібліотеки. Все це дозволяє швидко, використовуючи попередній опит, що накопичено у готових продуктах використовувати, як конструктор для побудови нових плат розширення.

Логічна архітектура використання плат розширення виглядає наступним чином рис. 4.

На малюнку розглянуто основні рівні реалізації взаємодії з платою розширення. Це сама плата розширення *PCI*, яка під'єднана до материнської плати комп'ютера. Далі йде рівень операційної системи – драйвери *Linux*. Вони описують протоколи взаємодії програмної частини операційної системи та апаратної частини. Драйвери дозволяють використовувати стандартні для операційної системи виклики на мові *C*. На наступному рівні реалізовані оболоночні класи на мові *C++* для використання можливостей плат розширення. На самому верхньому рівні зна-

ходиться код взаємодії між кластерами та алгоритми навчання мережі.

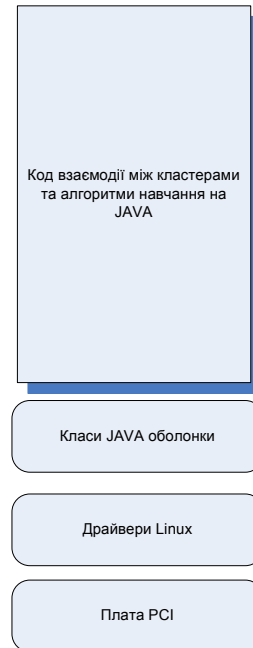


Рис. 4. Логічна архітектура використання плат розширення

У роботах [3, 4] наведено приклади побудови основних елементів нейронних мереж – передатних функцій з використанням алгоритмів пристосованих до апаратної реалізації, у тому числі на програмуємих логічних інтегральних схемах (ПЛІС).

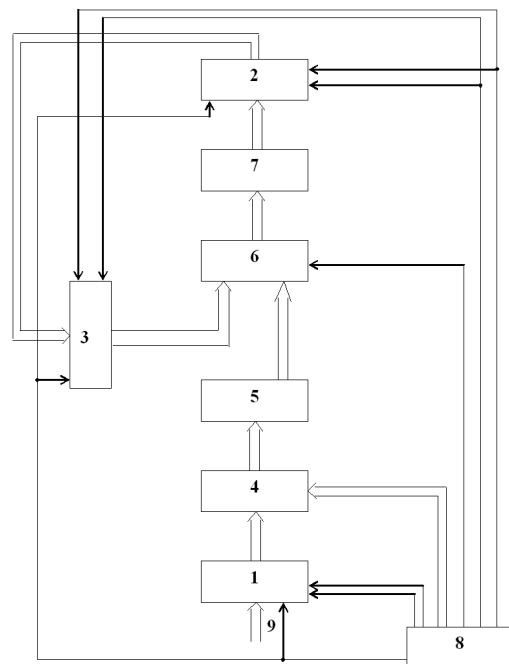


Рис. 5. Схема пристрою для обчислення експоненціальної функції

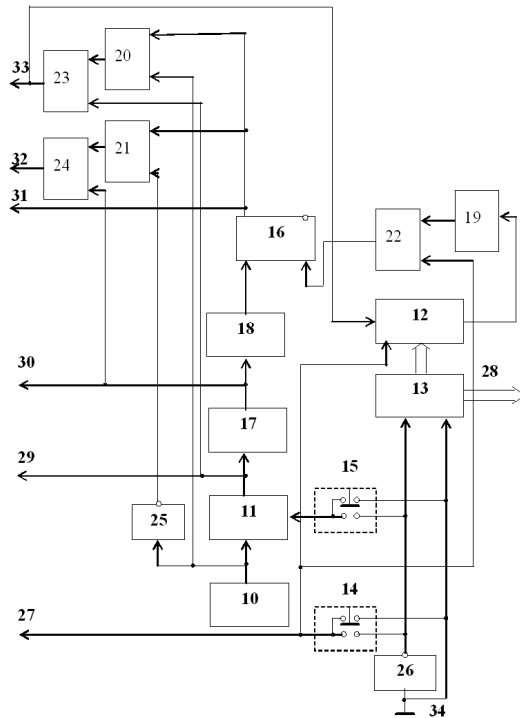


Рис. 6. Схема блока керування пристрою для обчислення експоненціальної функції

Пристрій для обчислення експоненціальної функції рис. 5 працює таким чином.

Початковий стан пристрою встановлюється ключем 14, що може бути виконаний у виді кнопкового перемикача, блоку 8 керування. Сигнал логічного нуля з шини 34 блоку 8 керування формує сигнал логічної одиниці на виході елемента рис. 6 НЕ 26, ключа 14 і першому виході 27 блоку 8 керування, що надходить на установочні входи регістрів 1-3, встановлюючи у них нульові стани. Вихідний сигнал елемента НЕ 26 через ключ 14 надходить через елемент АБО 22 на вхід скидання тригера 16, встановлюючи його в нульовий стан.

Алгоритм роботи пристрою описується наступним виразом

$$y = e^{-x} \approx (1 - 2^{-m} x)^{2^m}, \quad (1)$$

де x – значення аргументу, m – задана цілочисельна постійна.

Постійна m вибирається з необхідної точності обчислення експоненціальної функції $y(x)$ на відріжку зміни аргументу $[0; 1]$.

Якщо потрібно, щоб похибка обчислення експоненціальної функції не перевищувала значення 2^{-p} , то m вибирається з таблиці

Таблиця. 1

p	4	8	10	12	14	15	16
m	2	6	8	10	12	13	14

Розрядність n регістрів 1-3 вибирається таким чином, щоб

$$m + p < n. \quad (2)$$

Отже, з необхідної точності обчислень відповідно до таблиці 1 й умови (2) вибирають постійну m і розрядність регістрів 1-3. Постійна m задається в двійковому кодї за допомогою комутатора 13, виконаного, наприклад, у виді клавішного перемикача на два напрямки. На першій групі виходів комутатора 13 блоку 8 керування формується зворотній двійковий код постійної m , а на другій групі виходів – прямий код. Сигнали логічної одиниці, що надходять в одиничних розрядах зворотнього двійкового коду числа m з виходів комутатора 13 на установочні входи лічильника 12, встановлюють у лічильнику 12 зворотній двійковий код числа m . Розрядність q двійкового лічильника 12 вибирається з умови

$$m < 2^q. \quad (3)$$

Умова (3) виконується, якщо для всіх значень m з табл. 1 вибрати $q=4$. Отже, лічильник 12 має чотири двійкових розряди, у яких у вихідному стані по сигналі логічної одиниці з виходу ключа 14 встановлюється зворотній двійковий код числа m , що задається чотирьохклавішним комутатором 13. Прямий двійковий код числа m з другої групи виходів комутатора 13 другий вихід 28 блоку 8 керування надходить на керуючі входи зсувача 4, що забезпечує зсув двійкового коду на m розрядів убік молодших розрядів.

У режим обчислення експоненціальної функції пристрій переводиться за допомогою ключа 15, виконаного, наприклад, у виді клавішного перемикача. По керуючому сигналу логічної одиниці, що

надходить з виходу ключа 15, генератор 11 одиночного імпульсу вибирає одиночний імпульс з послідовності тактових імпульсів, що діють на виході генератора 10 тактових імпульсів. Одиночний імпульс з виходу генератора 11 одиночних імпульсів подає імпульс через третій вихід 29 блоку 8 керування на регістр 1, що забезпечує запис двійкового коду аргументу, що діє на інформаційних входах 9 пристрою, у регістр 1. Через час, рівний половині періоду тактової частоти, цей одиночний імпульс з виходу елемента 17 затримки через четвертий вихід 30 блоку 8 керування надходить на керуючий вхід видачі інформації регістра 1. Одиночний імпульс з виходу генератора 11 одиночних імпульсів і через елемент АБО 23 надходить на рахунковий вхід лічильника 12, забезпечуючи переклад зворотнього коду попередньо записаного в лічильнику 12 у додатковий код двійкового числа m . Після установки в лічильнику 12 додаткового двійкового коду числа m лічильник 12 забезпечує до свого переповнення підрахунок числа періодів тактової частоти рівного m .

Двійковий код аргументу x з виходів регістра 1 надходить на інформаційні входи зсувача 4, що формує на виходах двійковий код величини $2^{-m}x$. Перетворювач 5 кодів формує додатковий код величини $2^{-m}x$. Отже, на виходах перетворювача 5 кодів формується паралельний двійковий код величини $1 - 2^{-m}x$, що через комутатор 6 надходить на входи квадратора 7. Комутатор 6 у початковому стані забезпечує підключення виходів перетворювача 5 кодів до входів квадратора 7, на виходах якого формується паралельний двійковий код величини $(1 - 2^{-m}x)^2$. У цей час на керуючий вхід прийому інформації регістра 2 надходить одиночний імпульс з виходу елемента 17 затримки через елемент АБО 24 і шостий вихід 32 блоку 8 керування. Тому паралельний двійковий код величини $(1 - 2^{-m}x)^2$ записується в регістр 2.

Через половину періоду тактової частоти одиночний імпульс з виходу елемента 17 затримки через елемент 18 затримки надходить на настановний вхід RS -тригера 16, устанавлюючи його в одиничний стан через один період тактової частоти. Тригер 16 блоку 8 керування в одиничному стані через п'ятий вихід 31 блоку 8 керування перемикає комутатор 6 у режим з'єднання виходів регістра 3 з входами квадратора 7. Крім того, одиничний сигнал прямого виходу тригера 16 знімає блокування елементів I 20 і I 21. Інверсна послідовність імпульсів тактової частоти з виходу елемента НЕ 25 починає проходити через елементи I 21, АБО 24 на шостий вихід 32 блоку 8 керування. Імпульси тактової частоти з виходу генератора 10 тактової частоти проходять через елементи I 20, АБО 23 на сьомий вихід 33 блоку 8 керування. Під дією інверсної та прямої серій імпульсів тактової частоти, що діють відповідно на шинах 32 і 33 блоку 8 керування, утвориться кільцевий конвеєр, що складається з послідовно з'єднаних регістрів 2 і 3, комутатора 6 і квадратора 7. У цьому кільцевому конвеєрі за m періодів тактової частоти сформується паралельний двійковий код величини $(1 - 2^{-m}x)^{2^m}$, рівний у межах заданої точності 2^{-p} двійковому коду експоненціальної функції $Y(x) = e^{-x}$. Через m періодів тактової частоти лічильник 12 переповниться і сигнал його переповнення через елемент 19 затримки на половину періоду тактової частоти й елемент АБО 22 устанавить тригер 16 у нульовий стан. Тригер 16 нульовим сигналом прямого виходу заблокує елементи I 20 і 21, а на виходах елементів АБО 23 і 24 сформується сигнали логічного нуля, що почнуть діяти на шинах 33 і 32 блоку 8 керування, зупиняючи процес обчислень. Результат обчислень у вигляді паралельного двійкового коду величини $(1 - 2^{-m}x)^{2^m}$ зафіксується в регістрах 2 і 3.

Процес формування експоненціальної функції на відрізок зміни аргументу

[0;1] пристрій виконує за m періодів тактової частоти.

У запропонованому пристрої рівень похибки 2^{-15} згідно табл. 1 гарантується при постійній $m=13$. Час обчислень складе усього $m=13$ періодів тактової частоти.

Покажемо, що заданий рівень похибки 2^{-15} при $x=1$ забезпечується.

Виконаємо обчислення по алгоритму (1) при $x=1$

$$y = e^{-1} = (1 - 2^{-13})^{2^{13}} = 0.367857.$$

Значення експоненціальної функції e^{-1} з точністю до восьми десяткових розрядів складає 0.367879944. Похибка обчислення по алгоритму (1) $\varepsilon = 2.224 \cdot 10^{-5} < 2^{-15} = 3.05 \cdot 10^{-5}$. Слід зазначити, що для будь-якого значення аргументу x усередині діапазону його зміни [0;1] похибка обчислення менше, ніж похибка, отримана при $x=1$. Дійсно при $x=0.5$. Тоді

$$y = e^{-0.5} = (1 - 2^{-13} \cdot 0.5)^{2^{13}} = (1 - 2^{-14})^{2^{13}} = 0.60652$$

Похибка $e^{-0.5} - 0.60652 = 10^{-5}$ удвічі менше, ніж похибка обчислення експоненціальної функції $\varepsilon = 2.244 \cdot 10^{-5}$ при $x=1$.

Пристрій для обчислення сигмоїдальної функції рис. 7 працює таким чином.

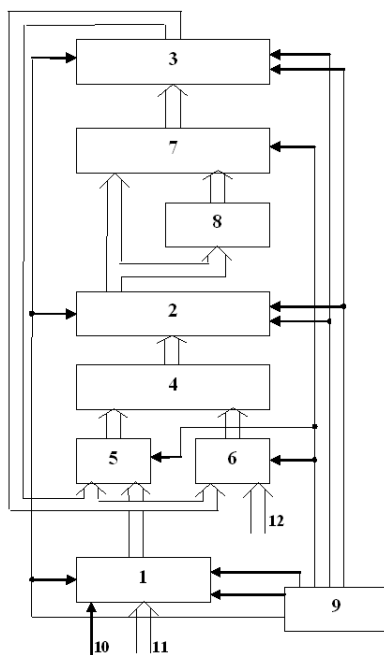


Рис. 7. Схема пристрою для обчислення сигмоїдальної функції

Початковий стан пристрою встановлюється ключем 17, що може бути виконаний у виді кнопкового перемикача, блоку 9 керування. Сигнал логічного нуля з шини 39 блоку 9 керування рис. 8 формує сигнал логічної одиниці на виході елемента НЕ 32, ключа 17 і першому виході 33 блоку 9 керування, що надходить на установочні входи регістрів 1-3, установлюючи у них нульові стани. Вихідний сигнал елемента НЕ 32 через ключ 17 надходить через елемент АБО 27 на вхід скидання тригера 19, установлюючи його в нульовий стан.

Алгоритм роботи пристрою описується наступним виразом

$$f(\alpha X) = 1 - (1 - C \cdot X)^{2^m}, \quad (4)$$

де $f(\alpha X)$ – сигмоїдальна функція, X – значення аргументу задане у діапазоні $0 \leq |X| < 1$, α – параметр аргументу, C – коефіцієнт активації сигмоїдальної функції, m – цілочисельна постійна.

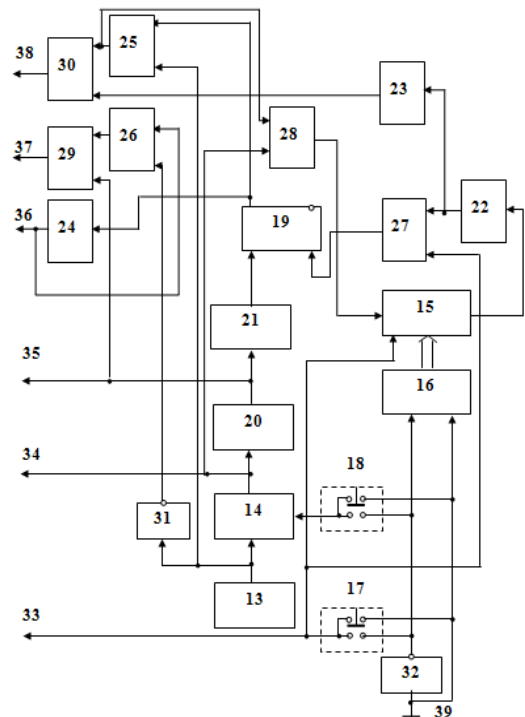


Рис. 8. Схема блока керування пристрою для обчислення сигмоїдальної функції

Параметр аргументу задається згідно з умовою

$$1 \leq \alpha \leq 2^p, \quad (5)$$

де p – задана цілочисельна постійна.

Параметр α задає діапазон зміни аргументу сигмоїдальної функції

$$0 \leq |\alpha X| \leq 2^p. \quad (6)$$

Коефіцієнт C адаптації сигмоїдальної функції задається згідно з умовою

$$0 < C = 2^{-m} \cdot \alpha < 1, \quad (7)$$

де m – задана цілочисельна постійна.

Згідно з умов (5) і (7) маємо, що

$$p < m. \quad (8)$$

Умова (8) виконується, якщо

$$m = p + 1. \quad (9)$$

Якщо цілочисельна постійна p задає діапазон зміни аргументу згідно з виразами (5), (6), то цілочисельна постійна m алгоритму (1) знаходиться з виразу (9). Після цього знаходиться коефіцієнт C згідно з виразом (7) для потрібного з умови адаптації параметру α , заданого в межах (5). Постійна m задається в двійковому коді за допомогою комутатора 16, виконаного, наприклад, у виді клавішного перемикача. На групі виходів комутатора 16 блоку 9 керування формується зворотній двійковий код постійної m . Сигнали логічної одиниці, що надходять в одиничних розрядах зворотнього двійкового коду числа m з виходів комутатора 16 на установочні входи лічильника 15, встановлюють у лічильнику 15 зворотній двійковий код числа m . Розрядність q двійкового лічильника 15 вибирається з умови

$$m < 2^q. \quad (10)$$

Умова (10) виконується, якщо для всіх значень $m < 16$ вибрати $q=4$. Отже, лічильник 15 має чотири двійкових розряди, у яких у початковому стані по сигналу логічної одиниці з виходу ключа 17 встановлюється зворотній двійковий код числа m , що задається чотирьохклавішним комутатором 16.

У режим обчислення сигмоїдальної функції пристрій переводиться за допомогою ключа 18, виконаного, наприклад, у

виді клавішного перемикача. По керуючому сигналу логічної одиниці, що надходить з виходу ключа 18, генератор 14 одиночного імпульсу вибирає одиночний імпульс з послідовності тактових імпульсів, що діють на виході генератора 13 тактових імпульсів. Одиночний імпульс з виходу генератора 14 одиночних імпульсів подає імпульс через другий вихід 34 блоку 9 керування на регістр 1, що забезпечує запис двійкового коду аргументу, що діє на інформаційних входах 10, 11 пристрою, у регістр 1. На інформаційному вході 10 діє сигнал знаку аргументу сигмоїдальної функції, а на інформаційних входах 11 – n -розрядний паралельний двійковий код модулю аргументу. Через час, рівний половині періоду тактової частоти, цей одиночний імпульс з виходу елемента 20 затримки через третій вихід 35 блоку 9 керування надходить на керуючий вхід видачі інформації регістра 1. Одиночний імпульс з виходу генератора 14 одиночних імпульсів через елемент АБО 28 надходить на лічильний вхід лічильника 15, забезпечуючи переклад зворотнього коду попередньо записаного в лічильнику 15 у додатковий код двійкового числа m . Після установки в лічильнику 15 додаткового двійкового коду числа m лічильник 15 забезпечує до свого перепоповнення підрахунок числа періодів тактової частоти рівного m .

У початковому стані пристрою комутатор 5 з'єднує виходи регістра 1 з першою групою входів блоку 4 множення, друга група входів якого комутатором 6 з'єднується з інформаційними входами 12 коефіцієнту C адаптації сигмоїдальної функції, який діє у вигляді n -розрядного паралельного двійкового коду на входах 12 пристрою. По сигналу одиночного імпульсу, який діє на третьому виході 35 блоку 9 керування паралельний n -розрядний код модулю аргументу X з виходів регістра 1 через комутатор 5 надходить на першу групу входів блока 4 множення, на другій групі входів якого у цей час діє паралельний n -розрядний двійковий код коефіцієнта C адаптації сигмоїда-

льної функції. На $2n$ виходах блоку 4 множення формується $2n$ -розрядний паралельний двійковий код добутку $C \cdot X$. У цей час одиночний імпульс з виходу елемента 20 затримки блоку 9 керування надходить через елемент АБО 29 на п'ятий вихід 37 блоку 9 керування і на керуючий вхід прийому інформації регістра 2. Паралельний $2n$ -розрядний двійковий код добутку $C \cdot X$ записується з виходів блоку 4 множення в $2n$ -розрядний регістр 2.

Через половину періоду тактової частоти одиночний імпульс з виходу елемента 20 затримки через елемент 21 затримки надходить на установочний вхід RS -тригера 19, установлюючи його в одиничний стан через один період тактової частоти після запуску пристрою. Тригер 19 блоку 9 керування в одиничному стані через елемент 24 затримки на половину періоду тактової частоти та четвертий вихід 36 блоку 9 керування перемикає комутатори 5, 6 і 7. Комутатори 5 і 6 в цьому режимі з'єднують виходи регістра 3 з обома групами входів блоку 4 множення. Комутатор 7 в цьому режимі з'єднує виходи регістра 2 з інформаційними входами регістра 3. Крім того, одиничний сигнал прямого виходу тригера 19 знімає блокування елемента І 25 та через елемент 24 затримки знімає блокування елемента І 26. Інверсна послідовність імпульсів тактової частоти з виходу елемента НЕ 31 починає проходити через елементи І 26, АБО 29 на п'ятий вихід 37 блоку 9 керування. Імпульси тактової частоти з виходу генератора 13 тактової частоти проходять через елементи І 25, АБО 30 на шостий вихід 38 блоку 9 керування. Під дією інверсної та прямої серій імпульсів тактової частоти, що діють відповідно на шинах 37 і 38 блоку 9 керування, утвориться кільцевий конвеєр, що складається з послідовно з'єднаних через комутатор 7 регістрів 2 і 3 і блок 4 множення. У цьому кільцевому конвеєрі за m періодів тактової частоти сформується паралельний $2n$ -розрядний двійковий код величини $(1 - C \cdot X)^{2^m}$, який згідно з (4) є додатко-

вим кодом сигмоїдальної функції. Через m періодів тактової частоти лічильник 15 переповниться і сигнал його переповнення через елемент 22 затримки на половину періоду тактової частоти й елемент АБО 27 установить тригер 19 у нульовий стан.

На прямому виході тригера 19 сформується сигнал логічного нуля, який через елемент 24 затримки на половину періоду тактової частоти і четвертий вихід 36 блоку 9 керування перемикає комутатор 7 у початковий стан. Комутатор 7 в початковому стані з'єднує виходи перетворювача 8 кодів з інформаційними входами регістра 3. У цей час сигнал переповнення лічильника 15 через елементи 22, 23 затримки, елемент АБО 30, шостий вихід 38 блоку 9 керування надходить на керуючий вхід видачі інформації регістра 2 і керуючий вхід прийому інформації регістра 3. Паралельний двійковий код величини $(1 - C \cdot X)^{2^m}$ з виходів регістра 2 через перетворювач 8 кодів і комутатор 7 записується в регістр 3 у вигляді $2n$ -розрядного паралельного двійкового коду сигмоїдальної функції (1). Перетворювач 8 кодів прямий код величини $(1 - C \cdot X)^{2^m}$ перетворює в додатковий код, який є прямим кодом величини сигмоїдальної функції $1 - (1 - C \cdot X)^{2^m}$. Після цього тригер 19 в нульовому стані блокує сигналом логічного нуля його прямого виходу елемент І 25 та через елемент 24 затримки елемент І 26. На виходах елементів АБО 29, 30 формуються сигнали логічного нуля, які починають діяти на п'ятому виході 37 і шостому виході 38 блоку 9 керування, зупиняючи процес обчислення сигмоїдальної функції.

Результат обчислень у вигляді $2n$ -розрядного паралельного коду модулю сигмоїдальної функції зафіксується в регістрі 3, а знак сигмоїдальної функції фіксується у старшому розряді регістра 1, тому, що сигмоїдальна функція є непарна функція і знак непарної функції дорівнює знаку аргументу

$$f(-\alpha X) = -f(\alpha X),$$

$$\text{sign } f(\alpha X) = \text{sign } X,$$

$$\text{sign } X = \begin{cases} +1, & x \geq 0, \\ -1, & x < 0, \end{cases}$$

$$\text{sign } f(\alpha X) = \begin{cases} +1, & f(\alpha X) \geq 0, \\ -1, & f(\alpha X) < 0. \end{cases}$$

Слід зазначити, що в регістрі 2 фіксується додатковий двійковий код сигмоїдальної функції. Це дозволяє використовувати моделювання вихідного сигналу нейрона у двох формах. Згідно з першою формою моделювання вихідний сигнал нейрона моделюється паралельним двійковим кодом модулю сигмоїдальної функції та її знаком. Цю форму моделювання забезпечує результат обчислень у регістрі 3 і старший розряд регістра 1.

Якщо треба від'ємне значення сигмоїдальної функції представити згідно з другою формою моделювання у вигляді додаткового двійкового коду, то вихідний сигнал нейрона моделюється паралельним двійковим кодом величини $(1 - C \cdot X)^{2^m}$ регістра 2, який є додатковим двійковим кодом сигмоїдальної функції (1).

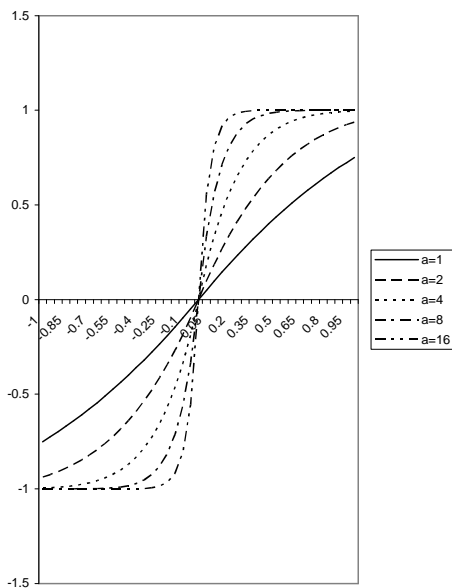


Рис. 9. Сигмоїдальна функція побудована згідно з алгоритмом (1) для різних значень параметру α

Процес формування сигмоїдальної функції у діапазоні зміни аргументу (3) пристрій виконує за $m+2$ періодів тактової частоти. Наприклад, якщо $\alpha = 1$ для $p=0$, то згідно з (6), (9) у діапазоні зміни аргументу $[0;1]$ пристрій виконує обчислення за $m+2=3$ періоди тактової частоти, тому, що при $p=0$ згідно з (9) $m=1$. Розширення діапазону (6) зміни аргументу αX у $2^4 = 16$ разів досягається при $p=4$. У цьому випадку згідно з (9) $m=5$ і пристрій виконує обчислення у діапазоні зміни аргументу αX $[0;16]$ за $m+2=7$ періодів тактової частоти.

На рис. 9 зображена сигмоїдальна функція побудована згідно з алгоритмом (4) для різних значень параметру α , який задає потрібний діапазон зміни аргументу αX . З рис. 3 та алгоритму (1) слідує, що сигмоїдальна функція є монотонно зростаюча і має не нульові похідні у всьому діапазоні зміни аргументу (6). Це відповідає характеристикам сигмоїдальної функції.

Висновки

Використання динамічної кластеризації нейронної мережі є одним з етапів розвитку нейронних мереж в Інтернеті. Додаткового прискорення можна досягти створенням WEB-сервісів загального або авторизованого використання, які побудовано на апаратних прискорювачах нейронних мереж.

Список літератури

1. Кременецький Г.М. Гравітаційний метод динамічної кластеризації нейронної мережі.
2. Кременецький Г.М. Побудова динамічної кластерної нейронної мережі з використанням WEB-сервісів.
3. Жуков І. А., Баранов Г. Л., Баранов В. Л., Кременецький Г.М. Пристрій для обчислення сигмоїдальної функції. – патент №75455, 2006.
4. Жуков І. А., Баранов Г. Л., Баранов В. Л., Кременецький Г.М. Пристрій для обчислення експоненціальної функції. – патент №75439, 2006.