

УДК 004.272

Опанасенко В.Н., д.т.н.,  
Завъялов С.Б., к.т.н.**РЕАЛИЗАЦИЯ МОДЕМА С ВЫСОКОЙ ПРОПУСКНОЙ СПОСОБНОСТЬЮ НА ОСНОВЕ ЧИПА CPLD ТИПА COOL RUNNER-II**

Національний авіаційний університет

opanasenkovm@nas.gov.ua  
radionix13@gmail.com**Введение**

Современная элементная база на основе ПЛИС, а также новые технологии проектирования с использованием соответствующих инструментальных средств позволяют обеспечить эффективную разработку устройств информатики и вычислительной техники [1-3]. Под эффективностью разработки понимается реализация проектов в соответствии с заданными техническими требованиями в ограниченные сроки и с минимальными трудозатратами.

**Постановка задачи**

Рассмотрим реализацию модема, состоящего из двух блоков – модулятора и демодулятора, размещаемых в одном чипе XC2C32-3-PC44 серии Cool Runner-II.

Серия Cool Runner-II отличается от других CPLD высоким быстродействием и малой потребляемой мощностью, поэтому эти микросхемы широко применяются в различных устройствах [4, 5]. Быстродействие модема определяется максимальной частотой синхросигналов, равной 400 МГц (минимальный период  $clk$  – 2,5 нс.). При частоте тактовых сигналов 200 МГц и с учетом того, что каждый бит по времени занимает 5 тактов, т.е. 25 нс., пропускная способность канала может составить 40•Мбит/сек.

На рис. 1 приведена функциональная схема модулятора.

Работа модулятора осуществляется следующим образом.

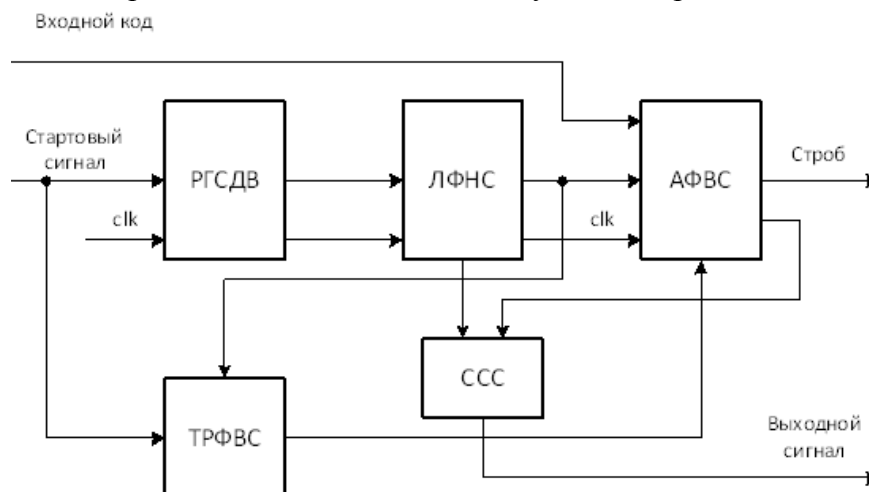


Рис. 1. Функциональная схема модулятора.

РГСДВ – регистр сдвига; ЛФНС – логика формирования начала сигнала; АФВС – автомат формирования выходного сигнала; ССС – схема суммирования сигналов; ТРФВС – триггер разрешения формирования выходного сигнала.

На 3-разрядный регистр сдвига поступает стартовый сигнал в виде логической “1” длительностью 10 тактов (под тактом понимается время, равное периоду

синхропоследовательности  $clk$ , формируемой тактовым генератором). Логика формирования начала сигнала формирует путем логического умножения сигналов с

выходов нулевого и второго разрядов регистра сдвига начало выходного сигнала в виде логической “1” длительностью 8 тактов.

Инициализация (запуск) автомата формирования выходного сигнала производится отрицательным фронтом стартового сигнала. После запуска автомат формирования выходного сигнала выполняет анализ входного кода, представляющего собой битовую последовательность логических “0” и “1” (длительность каждого бита составляет 5 тактов).

В результате анализа формируется выходной сигнал, в котором каждый логический “0” представлен сигналом, состоящим из логической “1” длительностью 2 такта и логического “0” длительностью 3 такта, а логическая “1” представлена сигналом, состоящим из логического “0” дли-

тельностью 2 такта и логической “1” длительностью 3 такта. Кроме выходного сигнала формируется строб в виде последовательности логических “1” длительностью 3 такта. Автомат формирования выходного сигнала выполнен в виде последовательностного автомата с 6-ю состояниями, в каждом из которых выходному сигналу и стробу в зависимости от входного кода и текущего времени приписывается соответствующее значение.

Выходной сигнал с выхода автомата с помощью схемы сложения суммируется с сигналом, полученным на выходе логики формирования начала сигнала, и поступает на выход модулятора. Сброс автомата и триггера разрешения формирования выходного сигнала производится импульсом, формируемым логикой формирования начала сигнала. На рис. 2 приведена функциональная схема демодулятора.

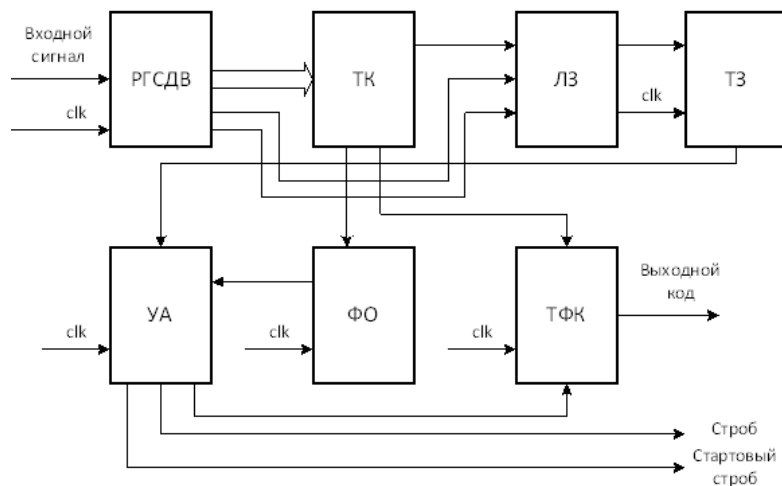


Рис. 2. Функциональная схема демодулятора.

ТК – таблица кодировки; ЛЗ – логика запуска; ТЗ – триггер запуска; ФО – формирователь одиночного импульса; УА – управляющий автомат; ТФК – триггера формирования кода.

Работа демодулятора осуществляется следующим образом.

Входной сигнал поступает на 6-разрядный регистр сдвига, выходы которого соединены с таблицей кодировки. Таблица имеет выход, который устанавливается в состояние логической “1” или логического “0” в зависимости от состояния первых 5-и разрядов регистра сдвига. Выходу приписывается значение логической “1”, если состояния разрядов регистра сдвига имеют

одно из следующих значений (левый разряд – старший, правый – младший):

“00001”, “00010”, “00011”, “00100”,  
 “00101”, “00110”, “00111”, “01011”,  
 “01101”, “01110”, “01111”, “10011”,  
 “10101”, “10110”, “10111”, “11111”.

При всех остальных значениях разрядов регистра сдвига выходу приписывается значение логического “0”. При поступлении стартового сигнала, если до

этого все 6 разрядов регистра сдвига находились в состоянии логического "0", логикой запуска формируется одиночный импульс, устанавливающий триггер запуска в активное состояние, разрешающее работу автомата управления. Автомат управления, являющийся последовательным автоматом с 7-ю состояниями, формирует сигналы стартового stroba, stroba и сигналы разрешения формирования выходного кода, поступающие на вход разрешения триггера формирования кода. На вход "D" триггера формирования кода поступает последовательность сигналов с выхода таблицы кодировки. Входной сигнал, приходящий на демодулятор, состоит из стартового сигнала в виде логической "1" длительностью 8 тактов и последовательности битов, в которой каждый логический "0" представлен сигналом, состоящим из логической "1" длительностью 2 такта и логического "0" длительностью 3 такта, а логическая "1" представлена сигналом, состоящим из логического "0" длительностью 2 такта и логической "1" длительностью 3 такта. Выходной код состоит из последовательности битов, каждый из которых кодируется логической "1" или логическим "0" длительностью 5 тактов. Сигнал стартового stroba представляет собой сигнал логической "1" длительностью 5 тактов в начале выходной последовательности, сигнал stroba – последовательность логических "1" длительностью 3 такта. Сброс автомата управления осуществляется одиночным импульсом с выхода формирователя окончания, генерируемым при переходе всех 6-и разрядов регистра сдвига в нулевое состояние.

Разработка модема осуществлена с использованием системы проектирования WebPack ISE, при этом для описания общей схемы проекта использовался схематический редактор, для описания работы

автоматов – редактор диаграмм состояний (State Editor), для описания таблицы кодировки – язык VHDL.

На рис. 3 приведена диаграмма работы автомата управления модулятора, на рис. 4 – демодулятора.

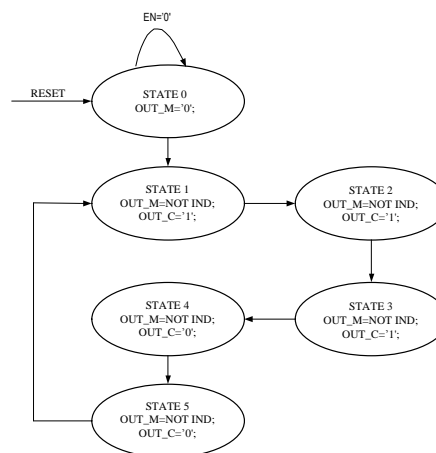


Рис. 3. Диаграмма работы автомата управления.

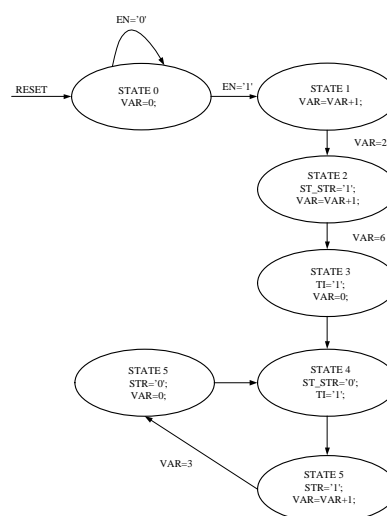


Рис. 4. Диаграмма работы автомата управления.

Проект верифицирован методом моделирования. На рис. 5 и 6 приведены временные диаграммы работы модема, полученные с помощью системы моделирования ModelSim XE.

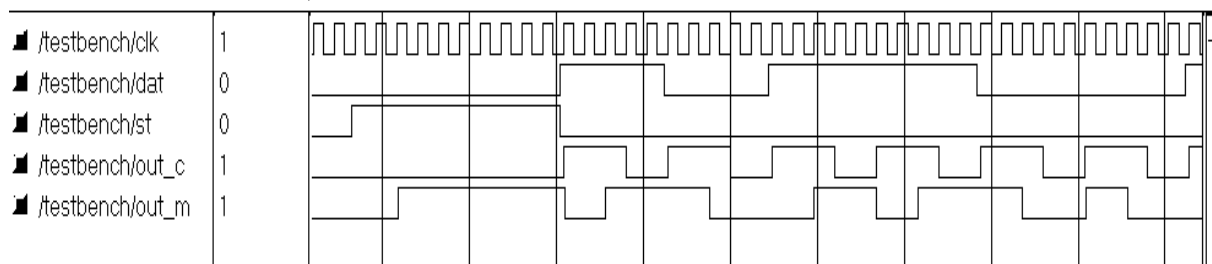


Рис. 5. Временная диаграмма работы модулятора.

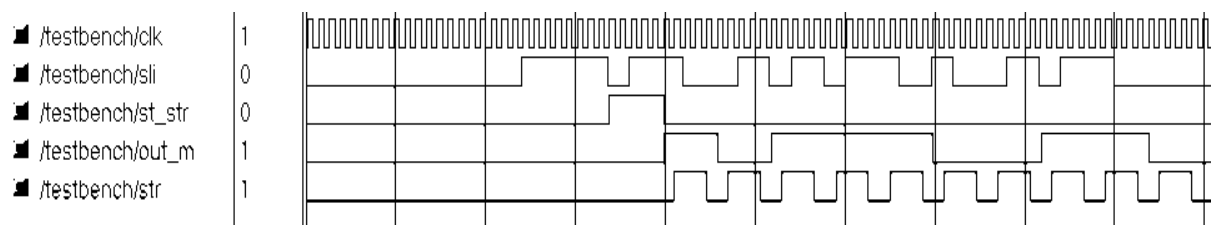


Рис. 6. Временная диаграмма работы демодулятора.

### Выводы

Выполнена реализация модема, состоящего из двух блоков – модулятора и демодулятора, размещаемых в одном корпусе микросхемы XC2C32–3–PC44 серии CoolRunner–II. Полученная реализация модема обладает высоким быстродействием и малой потребляемой мощностью. Быстродействие модема (пропускная способность канала) составляет до 40•Мбит/сек. Разработка модема осуществлена с использованием системы проектирования WebPack ISE, при этом для описания общей схемы проекта использован схематический редактор, для описания работы автоматов – редактор диаграмм состояний (State Editor), для описания таблицы кодировки – язык VHDL. В результате моделирования с помощью системы моделирования ModelSim XE получены временные диаграммы, подтверждающие корректность работы модема.

### Литература

1. Палагин А.В. Реконфигурируемые вычислительные системы. / Палагин А.В., Опанасенко В.Н. // Киев: Просвіта, 2006. 295 с.
2. Опанасенко В.Н. Высокопроизводительные реконфигурируемые компьютеры на базе FPGA. / Опанасенко В.Н. // Проблеми інфор-матизації та управління. 2009. Т. 3, Вып. 27. С. 114-118.
3. Opanasenko V., (2016), Synthesis of multilevel structures with multiple outputs. / Opanasenko V., Kryvyi S. // CEUR Workshop Proceeding of 10th International Conference of Program-ming, UkrPROG 2016, Kyiv; Ukraine; 24 May. Vol. 1631, Code 122904, pp.32–37.
4. Mehta, N. CoolRunner-II CPLDs in Portable Navigation Devices. / Mehta, N., Yang, A. // July 29, (2008). 6p. Retrieved from [https://www.xilinx.com/support/documentation/white\\_papers/wp352.pdf/](https://www.xilinx.com/support/documentation/white_papers/wp352.pdf/).
5. Jesse Jenkins. CoolRunner-II CPLDs in Secure Applications. (2002). – Режим доступа: <https://www.xilinx.com/support/documentation/whitepapers/wp170.pdf/>

**Опанасенко В.Н.,  
Завьялов С.Б.**

### **РЕАЛИЗАЦИЯ МОДЕМА С ВЫСОКОЙ ПРОПУСКНОЙ СПОСОБНОСТЬЮ НА ОСНОВЕ ЧИПА ТИПА COOL RUNNER-II**

*Рассмотрена реализация модема, состоящего из двух блоков – модулятора и демодулятора, размещаемых в одном корпусе микросхемы XC2C32–3–PC44 серии Cool Runner–II, которая отличается от других CPLD высоким быстродействием и малой потребляемой мощностью. Быстродействие модема (пропускная способность канала) составляет до 40•Мбит/сек. Разработка модема осуществлена с использованием системы проектирования WebPack ISE, при этом для описания общей схемы проекта использован схематический редактор, для описания работы автоматов – редактор диаграмм состояний (State Editor), для описания таблицы кодировки – язык VHDL. Достоверность полученных результатов подтверждается верификацией разработанной структуры модема методом моделирования. В результате моделирования с помощью системы моделирования ModelSim XE получены временные диаграммы работы модема.*

**Ключевые слова:** модулятор, демодулятор, реализация модема, CPLD.

**Opanasenko V.M.,  
Zavyalov S.B.**

### **IMPLEMENTATION OF A MODEM WITH HIGH CHANNEL CAPACITY ON BASED THE CHIP CPLD TYPE COOL RUNNER-II**

*The implementation of a modem consisting of two units, a modulator and a de-modulator, is placed in one housing of the XC2C32-3-3 PC44 chip of the Cool Runner-II series, which differs from other CPLDs in high speed and low power consumption. Modem performance (channel bandwidth) is up to 40Mb/s. The modem was developed using the WebPack ISE design system, and a schematic editor was used to describe the general scheme of the project, the State Editor was used to describe the operation of the machines, and the VHDL language was used to describe the encoding table. The validity of the obtained results is confirmed by verification of the developed structure of the modem by the simulation method. As a result of modeling using the ModelSim XE simulation system, we obtained time diagrams of the modem's operation.*

**Key words:** modulator, demodulator, modem, CPLD.