

УДК 629.735.072.8.08:004.383(045)

<sup>1</sup> Жуков И. А., д-р техн. наук<sup>1</sup> Дровозов В. И.<sup>2</sup> Рудюк Г. И., канд. тех. наук

## ОРГАНИЗАЦИЯ ВЫСОКОПРОИЗВОДИТЕЛЬНЫХ СПЕЦИАЛИЗИРОВАННЫХ ВЫЧИСЛИТЕЛЕЙ ДЛЯ ИМИТАТОРОВ АВИАЦИОННЫХ ТРЕНАЖЕРОВ

<sup>1</sup> Институт компьютерных технологий Национального авиационного университета,  
<sup>2</sup> Авиационный научно-технический комплекс им. О. К. Антонова

*Предложена организация специализированных вычислительных структур и процессов в имитаторах авиационных тренажеров. Конвейерные вычислители отличаются от известных повышенным быстродействием и однородностью структуры.*

**Введение.** При разработке бортовых пилотажно-навигационных комплексов для современных транспортных самолетов необходимо использовать новейшие достижения науки и техники для оптимального и эффективного решения задач в эргатической системе «экипаж – самолет – среда». Уже на ранних стадиях проектирования необходимо сформировать корректную информационную модель эргатической системы, учитывающую не только информацию, связанную с управлением самолета при его движении по заданным пространственно-временным траекториям в соответствии с установленными ограничениями, но и информацию при управлении в условиях резких изменений как внешних факторов (высокая турбулентность атмосферы, опасность столкновения) особенно на наиболее сложных этапах полета (взлет, посадка), так и параметров работы энергетических установок, систем управления самолета (отказ двигателя, определенных функций систем управления). Модели должны учитывать особенности интерфейса «экипаж – органы управления – интегрированные системы электронной индикации». При создании достоверной и наиболее полной информационной модели движения самолета, возникает необходимость моделирования процессов в реальном времени, что требует применения сложного математического и алгоритмического обеспечения. В процессе функционирования модели выполняется значительный объем вычис-

лений, требующий высокой производительности. Использование специализированных высокопроизводительных вычислителей значений определенных математических функций с высокой производительностью приводит к разгрузке основных процессоров от рутинной циклической обработки значительных объемов информации. Результатом является более эффективное использование вычислительных мощностей имитаторов авиационных тренажеров. Базовыми математическими функциями в информационных моделях имитаторов являются тригонометрические и степенные функции, программная реализация которых при обращении к соответствующей библиотеке подпрограмм связана с большими непроизводительными временными затратами, которые могут составлять более 50% времени решения всей задачи [1]. Аппаратная их реализация, позволяющая повысить быстродействие, предполагает применение специальных методов и алгоритмов вычислений.

Недостатком известных специализированных устройств для вычисления тригонометрических функций [2,3] является то, что они принципиально не могут обеспечить требуемые уровни быстродействия и точности результатов вычислений.

Рассмотрим возможности повышения быстродействия и снижения аппаратных затрат за счет организации вычислительных процессов в конвейерных структурах операционных блоков на основе использования аппаратно-ориентированных алгоритмов.

**Конвейерная структура для итерационного вычисления тригонометрических функций синуса и косинуса.** Известны устройства для вычисления тригонометрической функции синуса, реализующие метод сегментирования, который заключается в обнулении разрядов, расположенных слева от левой границы какой-либо группы разрядов аргумента (сегмента) и справа от правой границы сегмента. Наиболее целесообразно разбиение аргумента на три сегмента. Кроме того, в устройстве для получения одного результата необходимо выполнить три времяемких операции умножения и три операции сложения. Недостатком таких вычислительных устройств является низкое быстродействие.

Повысить быстродействие можно за счет применения специального кода, где устранены нули.

В [3] представлен тригонометрический вычислитель, содержащий три сумматора, два блока сдвига, четыре регистра, блок постоянного запоминающего устройства (ПЗУ) для хранения коэффициентов и блок управления (БУ). Вычисление тригонометрической функции от  $n$ -разрядного аргумента выполняется за  $n$  тактов. В каждом такте необходимо выполнить операцию выборки константы из блока ПЗУ, операцию сдвига промежуточного результата в блоке сдвига, операцию суммирования, несколько операций записи в регистры и операцию анализа знаков промежуточных результатов. Быстродействие такого вычислителя оценивается выражением

$$T_1 = 2,5n \times t_{\text{св}}, \quad (1)$$

где  $n$  – количество разрядов в представлении числа;  $t_{\text{св}}$  – время выполнения операции сложения (вычитания) на сумматоре (вычитателе). Недостатком устройства являются невысокое быстродействие и большие объемы ПЗУ для хранения констант и микропрограмм блока микропрограммного управления.

Рассмотрим конвейерное устройство для итерационного вычисления тригоно-

метрических функций синуса и косинуса методом Волдера [4], разработанное с целью повышения быстродействия и точности вычисления за счет введения высокоскоростных средств коррекции аргументов. Для обеспечения максимального быстродействия при реализации метода Волдера необходима аппаратная реализация алгоритмов с параллельным выполнением итерационных формул и обеспечением быстрого выполнения операции сдвига на переменное число разрядов.

В основу функционирования конвейерного устройства вычисления тригонометрических функций  $\sin \varphi$  и  $\cos \varphi$  положен унифицированный алгоритм Волдера [2, 4], описываемый итерационными формулами:

$$\begin{aligned} y_i^1 &= y_i + \varepsilon_i x_i 2^{-i}; \\ x_i^1 &= x_i - \varepsilon_i y_i 2^{-i}; \\ \varphi_i^1 &= \varphi_i - \varepsilon_i \operatorname{arctg} 2^{-i}, \end{aligned} \quad (2)$$

где  $i = (0, 1, 2, \dots, n-1)$  – номер итерации;  $x_i, y_i$  – значение декартовых прямоугольных координат исходного вектора на  $i$ -й итерации;  $x_i^1, y_i^1$  – значение координат после первого шага  $i$ -й итерации.

Количество итераций определяется числом разрядов результата вычислений. После выполнения  $(n-1)$ -й итерации получим координаты итогового вектора, равные искомым значениям функций  $y_n \approx \sin \varphi$ ,  $x_n \approx \cos \varphi$ .

При итерационном вычислении функций синуса и косинуса по алгоритму (2) происходит удлинение вектора на величину коэффициента  $K_n$ , определяемую соотношением

$$K_n = \prod_{i=0}^{n-1} (1 - G_i 2^{-i}), \quad (3)$$

где  $G_i = 0$  или 1 при сравнении значений координат  $x_i^1$  и  $y_i^1$ .

При умножении результата  $(x_i^1, y_i^1)^T$  на величину  $(1 - G_i 2^{-i})$  реализация полученного соотношения будет характеризо-

ваться такой же сложностью и аппаратными затратами, как и реализация алгоритма (2)

$$\begin{aligned} x_{i+1} &= x_i^1 - G_i x_i^1 2^{-i}; \\ y_{i+1} &= y_i^1 - G_i y_i^1 2^{-i}; \\ \varphi_{i+1} &= \varphi_i - G_i \varphi_i^1 2^{-i}, \end{aligned} \quad (4)$$

где  $x_{i+1}, y_{i+1}$  - значение координат после нормализации поворота вектора, полученные после первого шага  $i$ -й итерации.

Отличие унифицированного алгоритма Волдера (2) от классического метода Волдера состоит в том, что значения функции  $\varepsilon_i$  не вычисляются на каждой итерации, а считываются из блока запоминающего устройства (БЗУ) коэффициентов. Унифицированный алгоритм (2) ненормализован и при его реализации происходит деформация длины вектора. Алгоритм (4) используется для нормали-

зации результатов после поворота вектора и его отличие от известных алгоритмов нормализации результатов состоит в том, что каждый следующий шаг нормализации начинается сразу после получения одной новой цифры результата и происходит последовательно с умножением на коэффициент удлинения  $K_n$  вектора.

Предлагаемый конвейерный вычислитель (рис. 1) содержит  $n$  итерационных узлов (ИУ) ( $n$  - разрядность аргументов),  $n$  узлов коррекции (УК), БЗУ коэффициентов, первый 1 и второй 2 тактовые входы, вход 3 логического нуля, входы первого 4 и второго 5 аргументов, вход 6 угла, выходы устройства 7, 8 [5]. Каждый итерационный узел состоит из регистров, сумматоров-вычитателей, сдвигателей. Каждый узел коррекции содержит два регистра, два вычитателя, два сдвигателя, схему сравнения и два коммутатора.

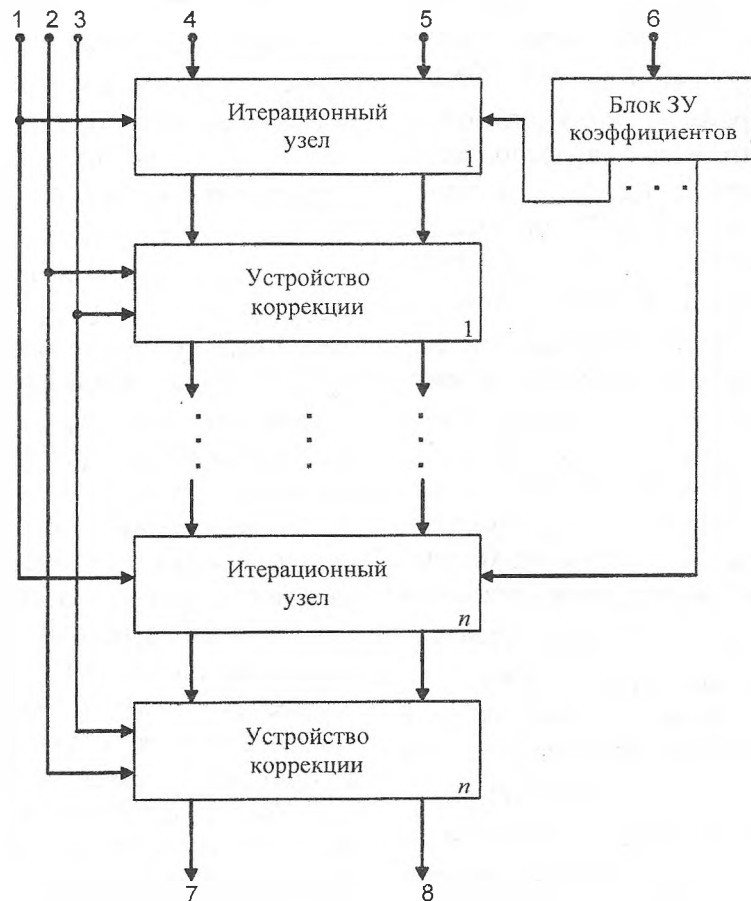


Рис. 1. Структурная схема конвейерного вычислителя синуса и косинуса

Функционирование вычислителя осуществляется следующим образом. На вход итерационного узла поступают зна-

чения координат  $x_1$  и  $y_1$  исходного вектора по входам первого 4 и второго 5 аргумента в регистры. С приходом сигнала

по первому тактовому входу 1 эти значения записываются в регистры итерационного узла. На входы поступают значения координат  $x_1$  и  $y_1$  исходного вектора со сдвигом на один разряд вправо. Кроме того, на первый вход сумматоров-вычитателей поступают значения координат  $x_1$  и  $y_1$  исходного вектора. Полученные на выходах первого и второго сумматоров-вычитателей итерационного узла новые значения координат вектора  $x_i^1$  и  $y_i^1$  поступают в узел коррекции 2, где аннулируется деформация поворота вектора  $x_i^1$  и  $y_i^1$ . Управление работой сумматоров-вычитателей осуществляется от соответствующих разрядов углов поворота, считываемых из БЗУ коэффициентов по адресу, поступающему на вход 6 угла. На вход БЗУ коэффициентов подается значение углов поворота, на выходе которого появляется сигнал "±1". При наличии сигнала "1" на выходе БЗУ коэффициентов появляется значение функции  $\varepsilon_i = +1$ , обеспечивающее настройку соответствующих сумматоров-вычитателей на выполнение операции сложения и операции вычитания. При наличии сигнала "0" на выходе БЗУ коэффициентов появляется соответствующее значение функции  $\varepsilon_i = -1$ , обеспечивающее противоположную настройку сумматоров-вычитателей. В каждом итерационном узле 1 выполняется одна итерация алгоритма (2) и результаты после аннулирования деформации поворота вектора поступают в следующий итерационный узел 1, где над ними выполняется следующая итерация. Значения координат  $x_i^1$  и  $y_i^1$  на выходах сумматоров-вычитателей поступают в регистры. По сигналу на втором тактовом входе 2 устройства в регистры записываются значения координат  $x_i^1$  и  $y_i^1$ . Сдвигатели узла коррекции осуществляют сдвиг значений координат  $x_i^1$  и  $y_i^1$  на один разряд вправо, т. е. их умножение на  $2^{-1}$ , а результаты (сдвинутые значения  $x_i^1 2^{-1}$  и  $y_i^1 2^{-1}$ ) поступают на первые входы коммутаторов соответственно. На вторые

входы этих коммутаторов поступает сигнал логического "0". Управление работой коммутаторов осуществляется соответственно по значению цифры  $G_i = 0$  или 1 при сравнении значений  $x_i^1$  и  $y_i^1$  схемой сравнения, а результаты поступают на вторые входы сумматоров-вычитателей. На первые входы этих сумматоров-вычитателей поступают значения координат  $x_i^1$  и  $y_i^1$ . В каждом узле коррекции 2 реализуется алгоритм (2). На выходе вычитателей  $i$ -го узла коррекции получают скорректированные значения координат, которые поступают на информационные входы следующего  $(i+1)$ -го итерационного узла.

Быстродействие предлагаемого конвейерного устройства определяется длительностью такта обработки данных, которое равно задержке в одной ступени конвейера устройства:  $T_2 = t_{cs} + t_{km}$ , где  $t_{km}$  — время задержки информации коммутатором. Устройство превосходит по быстродействию известное устройство [3]. Например, при обработке массивов чисел быстродействие повышено в  $2,5n$  раз, т. е.  $T_1 / T_2 = 2,5n \times t_{cs} / (t_{cs} + t_{km}) \approx 2,5n$ .

Сумматоры-вычитатели устройства представляют собой параллельный комбинационный сумматор-вычитатель с частично групповым переносом. Регистры построены на  $D$ -триггерах, а запись информации в регистры производится по переднему фронту импульса записи.

Таким образом, предлагаемый вычислитель отличается от известных [2,3] техническими решениями, поскольку в него введены  $n$  узлов коррекции, что позволяет повысить быстродействие устройства, а также осуществить одновременную коррекцию поворота вектора. Структурная реализация алгоритма (4) проще по сравнению с известными алгоритмами нормализации. Вычислитель позволяет по такту обрабатывать данные в темпе их поступления.

Высокая однородность и регулярность структуры (рис. 1), а также малое число внешних выводов позволяют достаточно эффективно синтезировать вычислительные устройства, реализующие три-

гонометрические функции синуса и косинуса, выполненные на базе СБИС.

**Высокопроизводительные структуры для извлечения квадратного корня и его обратной величины.** Известны вычислительные устройства, с помощью которых можно аппаратно реализовать функцию извлечения квадратного корня  $X = \sqrt{Y}$  в вычислительных и управляющих системах, в устройствах автоматики, телемеханики, контроля и т.д. [6]. Недостатком таких устройств является то, что искомая величина корня  $X$ , начиная с начального приближения, накапливается последовательно по единице, и для ее определения требуется значительное число проб, каждая из которых включает сдвиг числа, сложение двух многозначных чисел и добавление еди-

ницы к содержимому счетчика, а следовательно, время выполнения операции при его использовании велико.

Рассмотрим устройство, позволяющее повысить быстродействие вычисления значений функции извлечения квадратного корня за счет уменьшения числа проб при определении результата.

В состав предлагаемого специализированного вычислителя квадратного корня (рис. 2) входят БУ, восемь элементов задержки (2-9), элемент НЕ (10), пять управляющих триггеров (11-15), двухвходовой элемент ИЛИ (16), трехвходовой и двухвходовой элементы И (17,18), четыре сумматора (19-22), три блока начального приближения (23-25), регистр приращений (26), три группы элементов И (27-29) и блок преобразования приближенных значений (30) [7].

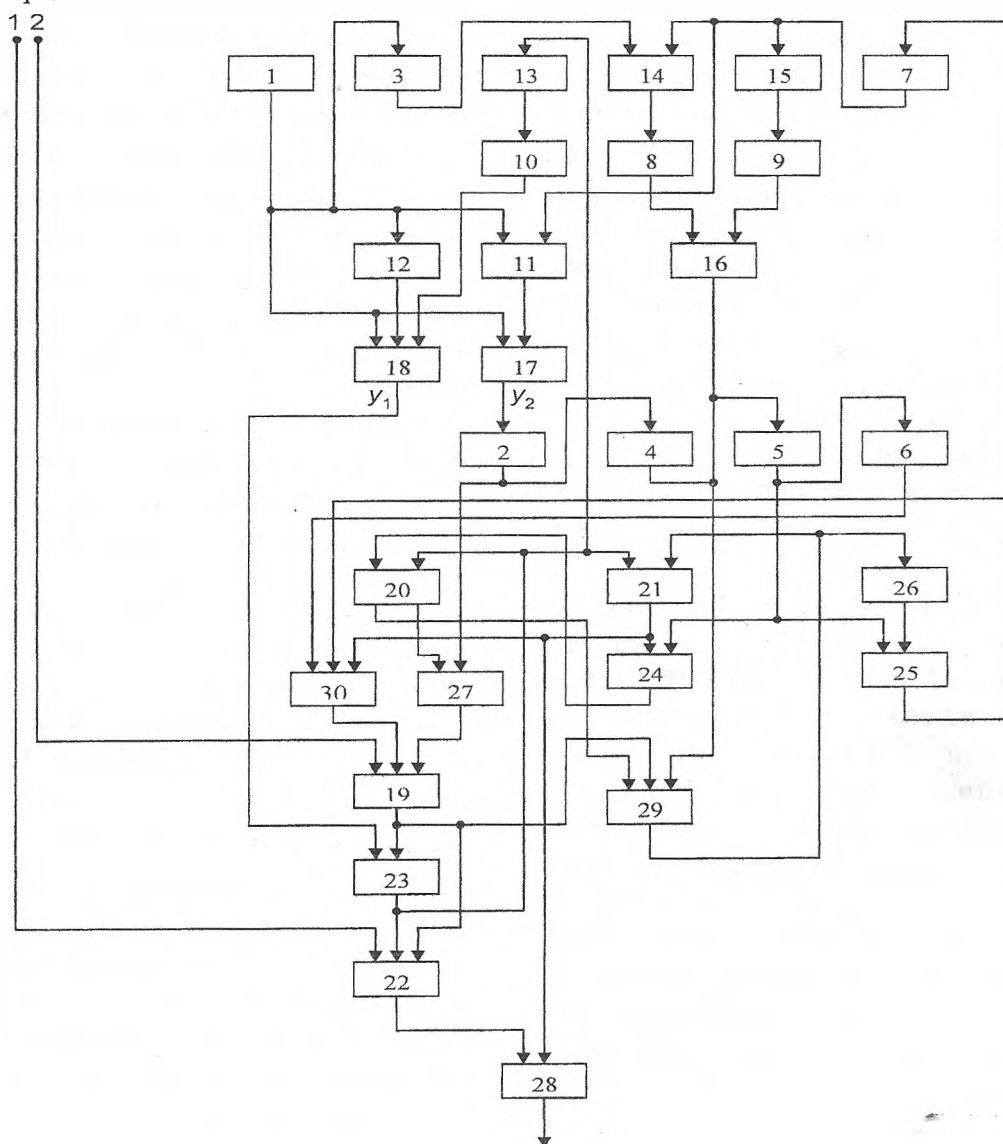


Рис. 2. Структурная схема специализированного вычислителя квадратного корня

Блок управления содержит регистр команд, дешифратор команд, заторможенный мультивибратор, счетчик, многовходовые элементы ИЛИ и И.

Блок преобразования приближенных значений образует две группы элементов НЕ и три группы элементов И, вторые входы которых объединены в одну входную шину блока.

Предлагаемый специализированный вычислитель отличается от известных использованием новых элементов: второго-пятого управляющих триггеров, четвертого-восьмого блоков задержки, двухвходового и трехвходового элементов И, двухвходового элемента ИЛИ, элемента НЕ, второго-четвертого блоков суммирования, второго и третьего блоков начального приближения, регистра приращения, блока трехвходовых элементов И и блока преобразования приближенных значений, а также новыми связями между ними. Вычисление функции  $X = \sqrt{Y}$  с помощью предлагаемого устройства на каждой итерации определяется сдвигом числа, выделением старшей единицы и двумя сложениями, а с помощью известного [6] — сдвигом числа, сложением двух многоразрядных чисел и добавлением единицы к содержимому счетчика.

Вычислительное устройство [7] работает следующим образом. Значение подкоренной величины  $Y$  в дополнительном коде заносится в сумматор 19. Команда извлечения квадратного корня записана в регистре БУ. С выходов регистра управляющий сигнал поступает на вход заторможенного мультивибратора, выходные импульсы которого поступают на вход счетчика. На счетчике перед началом операции записано число, определяющее длительность первого управляющего сигнала. Импульсы от мультивибратора поступают на вход счетчика, уменьшая содержимое счетчика на единицу при каждом поступлении. Выходы всех разрядов счетчика объединены в одну управляющую шину. На выходе элемента ИЛИ единичный сигнал сохраняется до тех пор, пока содержащееся в счетчике зна-

чение превышает нуль, т.е. пока хотя бы один из его разрядов содержит единицу. Этот сигнал, поступая на второй вход элемента И, определяет длительность прохождения управляющего сигнала с выхода дешифратора.

В начале операции извлечения квадратного корня управляющие триггеры 11-15 находятся в состоянии "0". Управляющий сигнал с выхода БУ поступает на счетный вход триггеров 12 и 11, переводя их в состояние "1". Поскольку триггер 13 в это время находится в состоянии "0", то с выхода элемента НЕ 10 на третий вход элемента И 18 поступает сигнал "1". На первый и второй входы элемента И 18 сигналы поступают с выходов БУ и триггера 12. Одновременно с выходов БУ и триггера 11 сигналы поступают на первый и второй входы элемента И 17. На выходах элементов И 18 и 17 появляются управляющие сигналы  $y_1$  и  $y_2$  соответственно.

Управляющий сигнал  $y_1$  поступает на вход блока 23 и разрешает прохождение сигнала "1" с самого старшего разряда сумматора 19, который находится в состоянии "0". Поскольку в сумматоре 19 записан дополнительный код подкоренной величины  $Y$ , то на выходах 1-15 блока 23 начального приближения ( $2^{14}-2^0$  соответственно) появляется значение  $E(Y)$ , равное старшей цифровой единице прямого кода  $Y$ . С выходов блока 23 значение  $E(Y)$  поступает на вторые входы элементов 27 в качестве первого приближения подкоренной величины  $Y$ . Кроме того, сигнал с выхода блока 23 поступает на вход триггера 13, переводя его в состояние "1", а на входах элемента И 18 появляется сигнал "0", определяющий конец действия сигнала  $y_1$ . На первые входы элементов И 27 поступает сигнал  $y_2$  с выхода элемента 2 задержки, разрешая прохождение значения  $E(Y)$  в сумматор 19, где оно суммируется с дополнительным кодом подкоренной величины  $Y$ . При этом результат  $\Delta Y$  на выходах сумматора 19 определяется как  $\Delta Y = E(Y) - Y$ . Одновременно с величиной  $E(Y)$  с выходов



блока 23 на входы второго 20 и третьего 21 сумматоров поступает значение  $X$ , которое составляет первое приближение вычисляемого квадратного корня  $X = \sqrt{E(Y)}$ .

С выходов сумматоров 20 и 19 величины  $X$  и  $\Delta Y$  поступают на первые и вторые входы элементов И 29, на третьи входы которых с выхода элемента 4 задержки поступает управляющий сигнал  $u_3$ . Выходным значением группы 29 элементов И является значение  $\Delta X = \Delta Y / 2E(X)$ , т.е. поправка величины  $X$ . Его знак определяется знаком величины  $X$ . Коррекция величины  $X$  как  $X_{i+1} = X_i \pm \Delta X_i$  осуществляется в сумматоре 21, на вторые входы которого поступает значение  $\Delta X$  с выходов элементов И 29 (на первые входы сумматора 21 в этот момент времени ничего не поступает). С выходов сумматора 21 и регистра 26 значения  $X$  и  $\Delta X$  поступают на входы блоков 24 и 25. Одновременно на другие входы этих блоков поступает управляющий сигнал  $u_4$  от элемента 5 задержки, который позволяет прохождение значения  $E(X)$ , равного старшей цифровой единице прямого кода значения  $X$ , на вход сумматора 20 (сумматор 20 предварительно обнуляется). Сигнал  $u_4$  разрешает прохождение величины  $E(\Delta X)$  с выхода блока 25 на вход блока 30, на другие входы которого поступает значение  $X$  с выхода сумматора 21. Одновременно на вход блока 30 поступает управляющий сигнал  $u_5$ , разрешающий прохождение величины  $X$ , сдвинутой влево на  $2E(\Delta X)$  разрядов, на вход сумматора 19, на выходах которого формируется очередное значение  $\Delta Y$ .

Сигнал от БУ через элемент 3 задержки переводит управляющий триггер 14 из состояния "0" в состояние "1". Триггер 15 при этом остается в состоянии "0". Требуемая длительность задержки управляющего сигнала элементом 3 задержки определяется исходя из условий одновременности появления управляющего сигнала  $u_1$  на выходах блоков 16 и 4.

С выходов блока 25 сигнал проходит через элемент 7 задержки и изменяет состояние триггеров 14 и 15 из "1" и "0" на "0" и "1" соответственно. При каждой последующей итерации в определении величин  $\Delta X$ ,  $X$  и  $\Delta Y$  состояние триггеров 14 и 15 изменяется на противоположное, определяя управляющий сигнал новой итерации с выхода триггера 14 или 15. Время  $t_2$  каждой итерации при вычислении квадратного корня с помощью предлагаемого устройства определяется сдвигом числа, выделением старшей единицы и двумя сложениями и, следовательно, не намного превышает время  $t_1$  итерации при вычислении с помощью известного устройства [6] ( $t_2/t_1 \approx 1,5$ ).

На каждой итерации очередное значение  $\Delta Y$  определяется согласно выражению  $\Delta Y_{i+1} = \Delta Y_i - [2E(\Delta X_i)X_i + E(\Delta X_i)^2]$ . В этом выражении значение  $2E(\Delta X_i)X_i + E(\Delta X_i)^2$  определяется блоком 30, в котором умножение величин  $X_i$  и  $\Delta X$  заменяется сдвигом значения  $X$  на  $E(\Delta X)$  разрядов. Добавление единичного значения  $E(\Delta X_i)^2$  практически не увеличивает задержку сигнала блоком 30. Параллельно с вычислениями вновь полученное значение  $\Delta Y_{i+1}$  сравнивается в блоке 30 с предельным минимальным значением (контрольным)  $\Delta Y_k$ , поступающим через вход 1 устройства. При удовлетворении условия  $\Delta Y_{i+1} < \Delta Y_k$  значение квадратного корня с выхода сумматора 21 передается на вход устройства через элементы И группы 28, на входы которых поступает разрешающий сигнал с выхода сумматора 22. Начальное приближение, получаемое на выходе блока 23, уточняется согласно выражению  $\Delta X = \Delta Y / 2E(X)$ , причем приращение  $\Delta X$  является многоразрядным значением и определяется в блоке 29.

Вычислительные возможности устройства можно расширить введением операции вычисления обратной величины квадратного корня. В этом случае вычислитель выполняет потактную обработку данных по мере их поступления и осуществляет одновременную коррекцию полученных результатов после каждой итерации.

Вычисление квадратного корня и его обратной величины производится по алгоритму Волдера, содержащему разностные рекуррентные соотношения

$$x_i^1 = x_i + q_i x_i^{-i+1}; y_i^1 = y_i + q_i y_i 2^{-i+1}, \quad (5)$$

где  $i=1, 2, \dots, n$ -номер итерации;  $n$ -число разрядов аргумента  $x$ ;  $x_i^1, y_i^1$  значение координат после первого шага  $i$ -й итерации;  $x_0=x, y_0=1, q_i, \bar{q}_i$  -прямой и обратный код сигнала сравнения значения

$$x_i, y_i; q = \begin{cases} 1, x_i \leq y_i \\ 0, y_i > x_i \end{cases}. \text{ После выполнения } n$$

итераций получим  $x_n = \sqrt{x}, y_n = 1/\sqrt{x}$ .

При вычислениях по алгоритму (5) происходит удлинение значений на величину коэффициента коррекции результата  $K_i$ , определяемую соотношением

$$K_i = \prod_{j=0}^i (1 + 2^{-2^j})^{-1/2}.$$

При правильно организованной операции деления должно выполняться равенство  $z=1/K_i$ , где число  $z$  (частное от деления) можно представить в виде произведения, т.е.  $z = \prod_{i=0}^n (1 - G_i 2^{-i})$ . Тогда справедлива запись

$$\begin{aligned} x_i^1 / \prod_{j=0}^i (1 + 2^{-2^j})^{-1/2} &= x_i^1 z = x_i^1 \prod_{j=0}^i (1 - G_j 2^{-j}); \\ y_i^1 / \prod_{j=0}^i (1 + 2^{-2^j})^{-1/2} &= y_i^1 z = y_i^1 \prod_{j=0}^i (1 - G_j 2^{-j}), \end{aligned} \quad (6)$$

$$\text{где } G = \begin{cases} 0, x_i^1 \leq y_i^1; \\ 1, y_i^1 > x_i^1. \end{cases}$$

При умножении результата  $(x_i^1, y_i^1)^T$  на величину  $(1 - G_i 2^{-i})$ , получим соотношения с учетом коэффициента коррекции результата при реализации алгоритма (5).

Устройство (рис. 3) состоит из блоков вычисления итерации (1), блоков коррекции (2), синхровходов устройства (3-8), входа логического нуля (9) и информационных входов устройства (10, 11). Блоки вычисления итерации содержат регистры (12, 13), сумматоры (14, 15), регистры сдвига (16, 17) и блок анализа разности (18). Блоки коррекции содержат реги-

стры (19, 20), вычитатели (21, 22), регистры сдвига (23, 24), блок анализа разности (25), коммутаторы (26, 27) и информационные выходы устройства (28, 29). Вычислительное устройство [8] работает следующим образом. Рассмотрим работу блока вычисления итерации. В первом такте в регистр 12 заносится по входу 10 значение  $x_0=x$ , в регистр 13 заносится по входу 11 значение  $y_0=1$ . С приходом импульса на синхровход 1 в регистры 12 и 13 записываются значения  $x_0=x, y_0=1$ . Регистры 16 и 17 сдвига соединяются с соответствующими вторыми входами сумматоров 14 и 15 таким образом, что на входы поступают значения  $x_0$  и  $y_0$  со сдвигом на один разряд вправо. На первый вход сумматоров 14 и 15 поступают значения  $x_0$  и  $y_0$ .

Полученные на выходах сумматоров 14 и 15 величины  $x_i^1$  и  $y_i^1$  поступают в блок коррекции, где осуществляется коррекция результата. Работа сумматоров 14 и 15 управляется по величинам, которые за счет сравнения значений  $x_i$  и  $y_i$  определяются в блоке 18, с приходом импульса на синхровход 2 в блок 18 анализа разности записываются значения  $x_i$  и  $y_i$ , а с приходом импульса на синхровход 3 значения цифр  $q_i$  и  $\bar{q}_i$  передаются для управления сумматорами 14 и 15. Во втором такте производится запись результатов вычислений из первого блока коррекции во второй блок вычисления итерации, т.е. полученные значения  $x_{i+1}$  и  $y_{i+1}$  после первого шага  $i$ -и итерации в результате коррекции из первого блока коррекции записываются в регистры 12 и 13 второго блока вычисления итерации соответственно. Одновременно в регистры 12 и 13 первого блока вычисления итерации поступают коды второго операнда. В первом блоке вычисления итерации производится выполнение первой итерации над вторым операндом, аналогично, как в первом такте, выполняется первая итерация над первым операндом, а во втором блоке вычисления итерации выполняется вторая итерация над первым операндом. В третьем



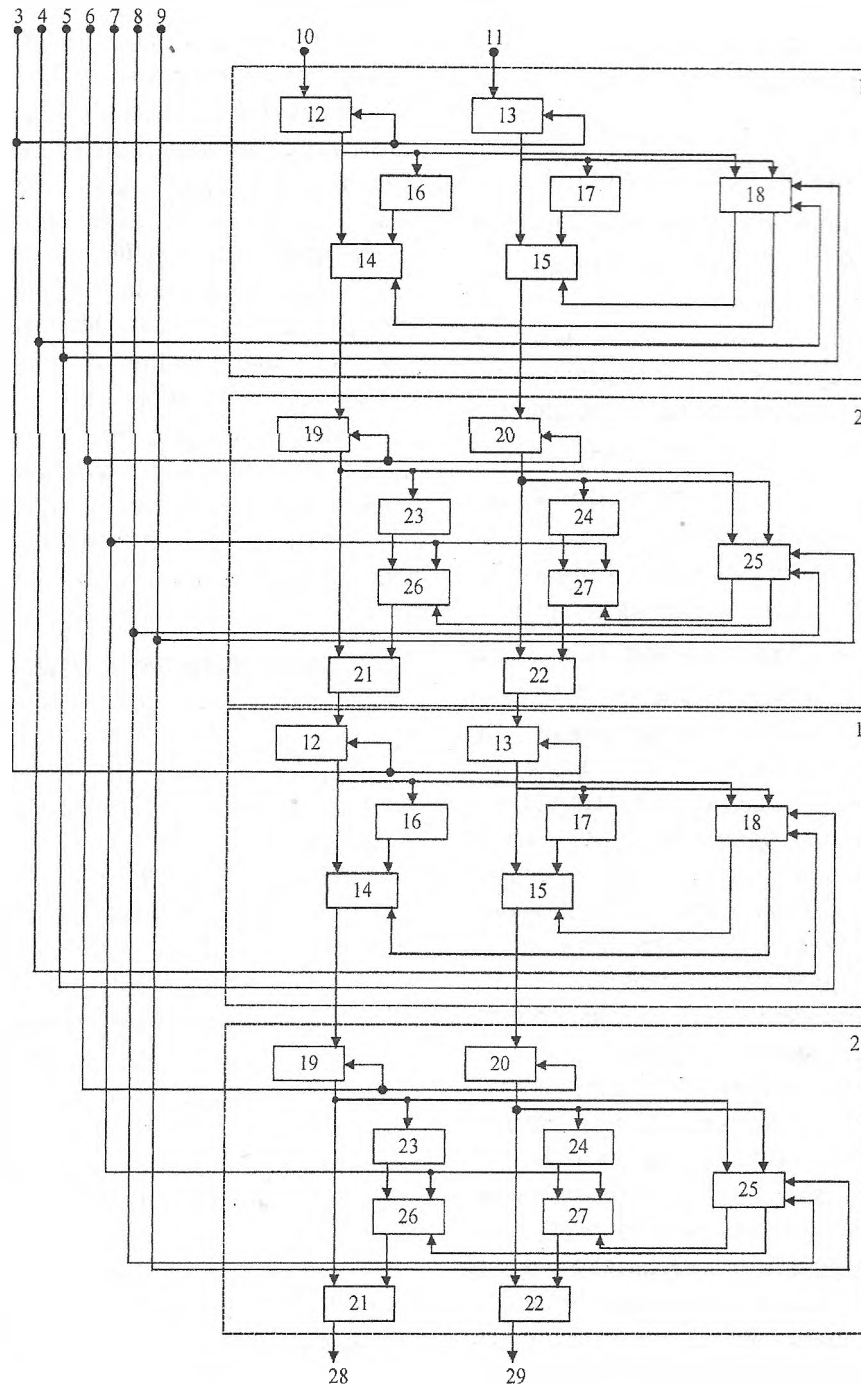


Рис. 3. Структурная схема специализированного вычислителя квадратного корня и его обратной величины

также производится запись результатов вычислений из первого и второго блоков коррекции во второй и третий блок вычисления итерации соответственно, и одновременно в регистры 12 и 13 первого блока вычисления итерации поступают коды третьего операнда. В первом блоке вычисления итерации выполняется первая итерация над третьим операндом, во втором – вторая итерация над вторым операндом, в третьем – третья итерация над

первым операндом. В дальнейшем результаты из предыдущих блоков вычисления итерации поступают в последующие блоки, а в первый блок поступают два операнда и т.д.

Рассмотрим работу блока коррекции. Значения  $x_i^1$  и  $y_i^1$  на выходах сумматоров поступают соответственно в регистры 19 и 20. С приходом импульса на синхровход 4 в регистры 19 и 20 записываются значения  $x_i^1$   $y_i^1$ .

Регистры 23 и 24 сдвига осуществляют сдвиг значений  $x_i^1$  и  $y_i^1$  на один разряд вправо, т.е. их умножение на  $2^{-1}$ , а результаты (сдвинутые значения  $x_i^1 2^{-1}$  и  $y_i^1 2^{-1}$ ) поступают на первые входы коммутаторов 26 и 27 соответственно. На вторые входы коммутаторов 26 и 27 поступают сигналы логического нуля. С приходом импульса на синхровход 5 в блоке 25 анализа разности записываются значения  $x_i^1$  и  $y_i^1$ , а – на синхровход 6 значения цифр  $G_i=0,1$  передаются для управления коммутаторов 26 и 27. На первые входы вычитателей 21 и 22 поступают соответственно значения  $x_i^1$  и  $y_i^1$ , а на вторые входы вычитателей 21 и 22 поступают соответственно значения  $G_i x_i^1 2^{-i}$  и  $G_i y_i^1 2^{-i}$ . В каждом блоке коррекции вычисляется алгоритм (4). В каждом  $i$ -м ( $i=1,2, \dots, n$ ) блоке вычисления итерации и блоке коррекции сдвиг на один разряд вправо осуществляется путем жесткого соединения выходов разрядов регистров с входами разрядов регистра сдвига со сдвигом на данное число разрядов.

Предлагаемый вычислитель обладает существенными отличиями по сравнению с существующими аналогичными устройствами, поскольку в нем данные обрабатываются по такту по мере их поступления, а также дополнительно введены блок коррекции для выполнения одновременной коррекции результатов после  $i$ -й итерации, что невозможно осуществить с помощью известных устройств. Быстродействие предлагаемого вычислителя при обработке массивов чисел определяется временем  $T_2=t_{cs}+t_{cd}$ , где  $t_{cs}$  – время выполнения операции сложения (вычитания) на сумматоре (вычитателе);  $t_{cd}$  – время выполнения операции сдвига, а быстродействие известного устройства –  $T_1=2n(t_{cs}+t_{cd})$  [6]. По быстродействию предлагаемое устройство превосходит известное в  $2n$  раз, т.е.  $T_1/T_2=2n$ .

### Выводы

Предложены конвейерная структура для итерационного вычисления значений тригонометрических функций синуса и косинуса, позволяющая повысить быстродей-

ствие и точность вычислений за счет введения высокоскоростных средств коррекции аргументов и высокопроизводительные структуры вычислителей для извлечения квадратного корня и его обратной величины, использование которых обеспечивает повышение быстродействия вычислений за счет уменьшения числа проб при определении результата и конвейерного способа обработки информации с дополнительным введением блока коррекции.

Использование предлагаемых вычислительных структур в составе имитаторов авиационных тренажеров позволяет расширить возможности имитаторов с точки зрения моделирования полета самолета в реальном времени в экстремальных условиях.

### Список литературы

1. *Функционально-ориентированные процессоры* / А. И. Водяхо, В. Б. Смолов, В. У. Плюсин, Д. В. Пузанков / Под ред. В. Б. Смолова. – Ленинград: Машиностроение, 1988. – 224 с.
2. *Байков В. Д., Смолов В. Б. Специализированные процессоры: итерационные алгоритмы и структуры.* – М.: Радио и связь, 1985. – 288 с.
3. *Оранский А. М. Аппаратные методы в цифровой вычислительной технике.* – Минск: Белорусский гос. ун-т, 1977. – 208 с.
4. *Volder J. E. The CORDIC trigonometric computing technique // IRE Transactions on Electronic Computers, 1959, v.8, №3. – P.330-334.*
5. *А.с. 1476462 СССР, МКИ G06F7/548. Конвейерное устройство для вычисления функций синуса и косинуса / И. А. Жуков и др. – Бюл. №16. – Оpubл. 30.04.80.*
6. *Введение в кибернетическую технику. Обработка физической информации/ Под ред. Б. Н. Малиновского. – К.: Наукова думка, 1979. – 256 с.*
7. *А.с. 1399732 СССР, МКИ G06F7/552. Устройство для извлечения квадратного корня/ И. А. Жуков и др. – Бюл. №20. – Оpubл. 30.05.88.*
8. *А.с. 1545218 СССР, МКИ G06F7/552. Устройство для извлечения квадратного корня и обратной величины/ И. А. Жуков и др. – Бюл. №7. – Оpubл. 23.02.90.*