

УДК 004.451.47: 65.011.46 (043.2)

Гуменюк В. А., канд. техн. наук
Пашенко Н. В.
Гуменюк А. В.

ОСОБЕННОСТИ РЕАЛИЗАЦИИ ПАРАЛЛЕЛЬНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ ПРИ ПРЕДСТАВЛЕНИИ ДАННЫХ НЕРАЗДЕЛИМЫМИ КОДАМИ

Институт компьютерных технологий Национального авиационного университета

Рассматриваются причины необходимости повышения эффективности параллельных вычислений. Анализируются возможности применения неразделимых кодов "M из N" для реализации автоматического контроля в высокопроизводительных параллельных вычислительных системах. Предлагается реализация схемы организации вычислительных операций, с учетом особенностей такого кодирования на основе ПЛИС.

Введение. Проблема повышения эффективности параллельных вычислений возникла вследствие постоянного повышения требований к производительности вычислительных средств и достоверности результатов решения фундаментальных и прикладных задач [1]. Существует две основные структуры параллельных вычислительных систем: многомашинные комплексы с распределенной памятью и многопроцессорные комплексы с распределяемой при счете памятью.

Целью работы является определение возможностей повышения производительности параллельных вычислительных систем на основе применения неразделимых кодов "M из N", а также возможности реализации такой схемы автоматического контроля на основе ПЛИС.

Постановка задачи

При увеличении количества процессоров в вычислительной системе больше 32 производительность такой параллельной системы возрастет лишь незначительно. Анализ снижения реальной производительности суперЭВМ с ростом числа процессоров приводит к двум причинам, вызывающим эту закономерность:

- недозагрузка процессоров из-за запаздывания данных при передаче их из памяти к процессору или от процессора к процессору;
- недозагрузка процессора из-за отсутствия данных, поставляемых другими

вычислительными процессорами (синхронизация по данным).

Значительные временные задержки в шинах и коммутаторах, связывающих между собой множество компьютеров в системе приводит к необходимости передачи данных (операндов) через системную шину (коммутаторы) по частям. После накопления всех разрядов на входных регистрах их достоверность проверяется схемой контроля. В работе анализируется возможность альтернативного недвоичного представления цифровой информации.

Методика решения

Существует взаимосвязь между реальной производительностью вычислительной системы и схемой ее контроля, вносящей непроизводительные временные затраты. Наибольшее распространение в настоящее время имеют схемы контроля ЭВМ (SPARC64 V1, UltraSparc III2, Itanium 2, Power4, PA-8700) на основе определения четности, которые вносят значительные временные задержки в общий процесс вычислений. Также, этот метод контроля не обеспечивает необходимого при решении ответственных задач уровня достоверности результатов вычислений.

В качестве альтернативы традиционному двоичному представлению информации в вычислительных системах может быть использовано представление цифровой информации кодами "M из N", в котором N – количество позиций (каж-

дая из которых представлена отдельным триггером) в разряде числа; M – количество "единиц" в этих позициях (остальные $N - M$ позиций содержат "нули") [1]. Таким образом, соотношение "нулей" и "единиц" в рамках данного кода фиксировано. Величину основания p счисления выбирают из условия:

$$C_N^M \geq p.$$

Такие коды относятся к неразделимым, в которых разряды кодового слова невозможно разделить на информационные и избыточные. Ошибки первых двух (R_1 и R_2) категорий нарушают соотношение "нулей" и "единиц" в данном коде и обнаруживаются с методической вероятностью равной 1 в течении времени $t = a * \Delta t_k$, где Δt_k – разрешающая способность автоматического контроля по времени; $0 < a < 1$ [1].

Вследствие весьма малой степени вероятности двух и более ошибочных переходов $0 \rightarrow 1$ и такой же количества ошибочных переходов $1 \rightarrow 0$ в одной кодовой комбинации за время $t = a * \Delta t_k$ на практике вероятность R_3 ошибки третьей (необнаруживаемой) категории может быть определена приближенным выражением:

$$R_3 \approx 0,9 \Gamma(N - M) a^2 K^2 * 10^{-27}.$$

Таким образом, представление p -ичных цифр кодом "М из N" позволяет практически решить проблему автоматического контроля вычислительной системы.

Отличительной особенностью функционирования таких устройств контроля является включение их элементов только при возникновении ошибок. Отпадает необходимость в накоплении операндов во входных регистрах операционного устройства и последующем их контроле, который приводит к непроизводительным временным затратам. Появляется возможность организации конвейерной передачи отдельных разрядов обоих операндов непосредственно в исполнительное устройство с последующей фиксацией частичного результата в соответствующих разрядах регистра результата.

Анализ структур соответствующих вычислительных устройств с применением кода "М из N" показывает, что выполнение в них функции контроля не связано с дополнительными временными задержками и не снижает общую производительность вычислительной системы. Поэтому применение кодов "М из N" в высокопроизводительных вычислительных системах, для повышения производительности процессоров, входящих в ее состав, является целесообразным. Кроме того, при фиксированной производительности вычислительной системы, повышение производительности отдельных процессоров позволит сократить их количество.

Для реализации схем контроля в вычислительных устройствах предполагается использовать программируемые логические интегральные схемы – ПЛИС.

Структура ПЛИС представляют собой регулярную среду, обладающую свойствами многократной реконфигурации. Логическая емкость современных ПЛИС обеспечивает возможность создания в одном кристалле большого числа аппаратных фрагментов, реализующих заданные алгоритмы. Высокая степень параллелизма достигается за счет одновременного выполнения алгоритмов, а многократная (динамическая) реконфигурация всего кристалла или его части в процессе выполнения задачи позволяет реализовать многофункциональные или сложные системы с существенной экономией аппаратных ресурсов [2].

Другие достоинства ПЛИС:

- универсальность, т.е. возможность создания практически любого цифрового устройства в кристалле при наличии ПК и соответствующих инструментальных средств (САПР);
- возможность модификации проектов на любых стадиях разработки и в процессе эксплуатации;
- высокое быстродействие, малую потребляемую мощность и высокую надежность интегральной технологии;
- совместимость с окружающей средой за счет возможности выбора уровня

напряжения питания и параметров сигналов ввода/вывода;

- низкую по сравнению с заказными и полу заказными СБИС стоимость реализации проектов за счет массового производства кристаллов с регулярной структурой и небольшого времени, затрачиваемого на разработку проектов.

Развитие ПЛИС осуществлялось от простых ПЛМ (программируемых логических матриц) к сложным - *CPLD* (*Complex Programmable Logic Devices*) и *FPGA* (*Field Programmable Gate Array*).

Простые программируемые логические устройства *SPLD* (*Simple Programmable Logic Devices*) по архитектуре делятся на подклассы программируемых логических матриц ПЛМ (*PLA, Programmable Logic Arrays*) и программируемой матричной логики ПМЛ (*PAL, Programmable Arrays Logic, или GAL, Generic Array Logic*).

В сложных программируемых логических схемах *CPLD* (*Complex Programmable Logic Devices*) несколько логических блоков, подобных ПМЛ, объединенных между собой с помощью программируемых межсоединений. В *CPLD* могут входить сотни блоков и десятки тысяч эквивалентных вентилях. Такая архитектура более эффективна для использования площади кристалла, приводит к лучшим характеристикам и сокращает стоимость. Сложные программируемые логические схемы позволяют реализовать значительно больше логики, чем простые, которые ориентированы на двухуровневую логику, в то время как архитектура *CPLD* ориентирована на реализацию многоуровневой логики. Архитектуры *CPLD* разрабатываются фирмами *Altera, Atmel, Lattice Semiconductor, Cypress Semiconductor* [2].

В *CPLD* имеются ряд дополнительных возможностей: программирование в системе (возможность программирования прибора прямо на плате, это сокращает маршрут изготовления готовой системы и экономит время, так как нет необходимости в операции программирования), перепрограммирование в системе, работа в

режиме 5V/3.3V, наличие портов доступа для тестирования и пограничного сканирования, поддерживающего стандарт *IEEE 1149.1*. Кроме того, приборы могут поставляться в различных корпусах [2].

Микросхемы программируемых пользователями вентилях матриц *FPGA* (*Field Programmable Gate Arrays*) в своей основе состоят из большого числа конфигурируемых логических блоков (ЛБ), расположенных по строкам и столбцам в виде матрицы, и трассировочных ресурсов (логических ключей), обеспечивающих их межсоединения. ПЛИС *FPGA*, поступающая в распоряжение потребителя, имеет уже готовые, стандартные, хотя и не запрограммированные, трассировочные ресурсы, не зависящие от конкретного потребителя. ПЛИС типа *FPGA* являются многократно реконфигурированными. В них в качестве памяти для хранения информации о конфигурации ПЛИС используются статические ОЗУ. Будучи заполненным определенной битовой последовательностью статическое ОЗУ в ПЛИС воздействует на логические ячейки и соединяющие их ключи, обеспечивая получение требуемых электрических схем. В каждой микросхеме есть вход для записи битовой последовательности в ОЗУ, а также элементы "вход/выход" для связи с другими микросхемами. Таким образом, получение конкретного проекта на базе *FPGA* реализуется воздействием на программируемые межсоединения, в ходе которого обеспечивается замкнутое состояние одних участков и разомкнутое – других. Обращаться к изготовителю *FPGA* при этом не требуется. Все эти преимущества делают применение ПЛИС типа *FPGA* предпочтительней по сравнению с другими архитектурами (видами) ПЛИС [3]. Архитектуры *FPGA* разрабатываются фирмами *Xilinx, Actel, Altera, Atmel, Age re Systems, QuickLogic* и др.

Помимо увеличения логических ресурсов и повышения быстродействия за счет совершенствования архитектурных и технологических решений, общую тен-

денцию развития ПЛИС определяют два фактора, обеспечивающих как повышение производительности, так и расширение возможностей применения. К этим факторам относятся: встраивание в кристалл быстродействующих модулей общего назначения и элементов, обеспечивающих реализацию стандартов ввода-вывода для осуществления взаимодействия с различными внешними устройствами.

Компания *Star Bridge Systems* производит семейство программно реконфигурируемых вычислителей *Hypercomputer System HC-X* и предлагает комплексное решение для организации реконфигурируемых вычислений (рис. 1).

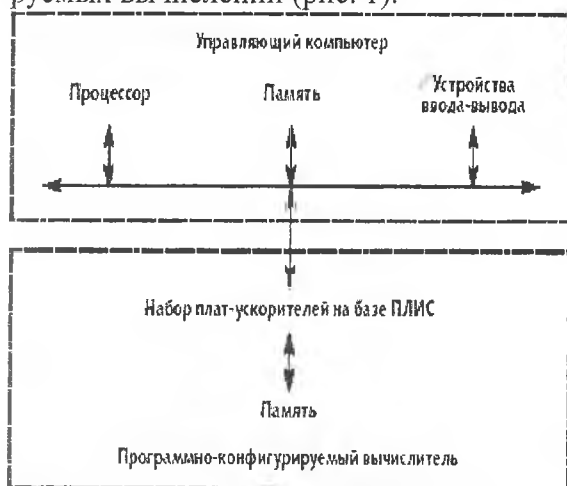


Рис. 1. Структура узла универсальной вычислительной системы, построенного на ПЛИС

Старшая модель семейства, суперкомпьютер *HC-98m*, состоит из управляющего компьютера и двухплатного программно реконфигурируемого вычислителя, включающего 14 ПЛИС *Virtex-II* серии 6000 и 4 *Virtex-II* серии 4000. В совокупности это составляет 98 млн. вентиляей. После включения питания первая ПЛИС программируется из постоянного запоминающего устройства на плате.

В этой ПЛИС формируется порт шины *PCI-X*, через который управляющий компьютер будет, используя среду разработки программ *Viva*, программировать остальные ПЛИС.

В настоящее время ПЛИС характеризуются самыми высокими темпами роста применения в области ИМС, позво-

ляют в сжатые сроки создавать специализированные СБИС до сотен тысяч логических вентиляей и отказаться от десятков корпусов стандартной логики. Например, фирма *Xilinx* производит кристаллы *Virtex-II Pro* емкостью до 10 млн. системных вентиляей, обладающие помимо большой логической емкости новыми функциональными возможностями и более высоким быстродействием по сравнению с кристаллами *FPGA* предыдущих поколений. В течение ближайших трех-четырёх лет прогнозируется выпуск устройств с емкостью 50 млн. системных вентиляей, достаточных для формирования сложных и высокоэффективных систем на одном кристалле.

Выводы

Анализ свойств кода "М из N" и структур соответствующих вычислительных устройств показывает, что выполнение в них функции контроля не связано с дополнительными временными задержками и не снижает общую производительность вычислительной системы. Поэтому реализация схемы автоматического контроля с использованием кодов "М из N" на основе ПЛИС типа *FPGA* является целесообразной в высокопроизводительных вычислительных системах.

Список литературы

1. Гуменюк В. А., Жуков И. А., Гуменюк А. В. Применение неразделимых кодов "М из N" в высокопроизводительных параллельных вычислительных системах // Проблеми інформатизації та управління. Зб. наук. праць. – 2004. – №11. – С. 256-263.
2. Палагин А. В., Опанасенко В. Н., Сахарин В. Г. Вычислительные системы с реконфигурируемой (программируемой) архитектурой // Проблеми інформатизації та управління. Зб. наук. праць. – 2004. – №10. – С. 5-14.
3. Ланцов В. Н. Проектирование ПЛИС на VHDL. – Владимир.: Владим. гос. ун-т., 2000. – 121 с.