

УДК 621.3.049.77(045)

Постоловский В. В.*Национальный авиационный университет, Киев***УЧЕБНЫЙ ЛАБОРАТОРНЫЙ СТЕНД НА БАЗЕ ПЛИС ФИРМЫ ALTERA**

Данная работа предназначена разработке универсального учебно-лабораторного стенда для изучения возможностей ПЛИС. Структура стенда разработана специально для использования в учебных целях, поэтому достигнуто оптимальное соотношение функциональности и простоты использования. Модульная структура позволяет максимально расширить возможность исследования электронных устройств.

Сектор программируемых логических интегральных схем (ПЛИС) – наиболее быстро развивающийся на мировом рынке логических устройств. Это обусловлено непрерывно растущим числом логических элементов на кристалле, что позволяет реализовывать функции, которые в отсутствие ПЛИС потребовали бы применения отдельных логических и запоминающих устройств. Это позволяет разработчику аппаратуры за несколько секунд или минут на рабочей станции или линии сборки системы задать требуемую конфигурацию микросхемы ПЛИС, а в ряде случаев выполнить ее реконфигурацию. Сегодня работы в области программируемых пользователем базовых матричных кристаллов (FPGA) сосредоточены на создании изделий для новых развивающихся рынков, тогда как сектор рынка сетевых приложений (собственно и давший толчок увеличению спроса на FPGA) не пользуется благосклонностью поставщиков. В то же время, продажи сложных программируемых логических микросхем (CPLD) достаточно стабильны.

В мире много аппаратуры, в которой используются устаревшие, практически вышедшие из употребления логические микросхемы, которые могут быть успешно заменены CPLD, позволяющими снизить стоимость, потребляемую мощность и сложность систем. А появившиеся на рынке в последнее время ПЛИС этого типа способствуют такой замене.

В каких же случаях целесообразно применять ПЛИС?

Во-первых, при разработке оригинальной аппаратуры, а также для замены обычных ИС малой и средней степени интеграции. При этом значительно уменьшаются размеры устройства,

снижается потребляемая мощность и повышается надежность.

Наиболее эффективно использование ПЛИС в изделиях, требующих нестандартных схемотехнических решений. В этих случаях ПЛИС даже средней степени интеграции (24 вывода) заменяет, как правило, до 10-15 обычных интегральных микросхем.

Другим критерием использования ПЛИС является потребность резко сократить сроки и затраты на проектирование, а также повысить возможность модификации и отладки аппаратуры. Поэтому ПЛИС широко применяется в стендовом оборудовании, на этапах разработки и производства опытной партии новых изделий, а также для эмуляции схем, подлежащих последующей реализации на другой элементной базе, в частности базовые матричные кристаллы (БМК).

Отдельная область применения ПЛИС - проектирование на их основе устройств для защиты программного обеспечения и аппаратуры от несанкционированного доступа и копирования. ПЛИС обладают такой технологической особенностью, как «бит секретности», после программирования которого схема становится недоступной для чтения (хотя свои функции ПЛИС, естественно, продолжает выполнять). Обычно применение одной-двух ПЛИС средней степени интеграции оказывается вполне достаточной для надежной защиты информации.

Наиболее широко программируемые логические ИС используются в микропроцессорной и вычислительной технике. На их основе разрабатываются контроллеры, адресные дешифраторы, логика обрामления микропроцессоров, формователи управляющих сигналов и др. На ПЛИС часто изготавливают микропрограммные автома-

ты и другие специализированные устройства, например, цифровые фильтры, схемы обработки сигналов и изображения, процессоры быстрого преобразования функций Фурье и т.д. В технике связи ПЛИС применяются в аппаратуре уплотнения телефонных сигналов.

Применение ПЛИС становится актуальным еще и потому, что у разработчиков зачастую нет необходимых стандартных микросхем.

Данный стенд был спроектирован на ПЛИС структуры CPLD. CPLD – это комбинация полностью программируемых матриц вентилей И/ИЛИ и банка макроячеек (МЯ). МЯ образуют функциональные блоки, выполняющие различные комбинаторные или последовательные логические функции. Для получения достаточно высокого быстродействия в CPLD традиционно применялся аналоговый усилитель считывания, но при этом существенно возросла потребляемая мощность.

Современные CPLD содержат несколько логических блоков (ЛБ), в каждый из которых могут входить до 54 МЯ на основе программируемых логических матриц (PAL) или простых

ПЛИС (SPLD). Каждая МЯ с большой нагрузочной способностью по входу обеспечивает выполнение комбинаторной логики, которая в зависимости от сложности ПЛИС поддерживает от четырех до 16 логических произведений – термов. Поскольку каждый ЛБ выполняет определенную функцию, все МЯ такого блока полностью объединены, тогда как сами ЛБ соединяются друг с другом трассировочной матрицей в зависимости от применения микросхемы. В результате 100 % использования имеющихся логических блоков добиться нельзя.

На рынке представлены CPLD разнообразных семейств и в самых различных типах корпусов. Значения напряжения питания, рабочий ток, ток в режиме покоя и потребляемая мощность этих устройств также различны. В них используется память различного типа и объема (ПЗУ, ОЗУ, двухпортовое ОЗУ, ассоциативная память, а также память прямого и обратного магазинного типов). Основные поставщики CPLD – компании Altera, Atmel, Cypress Semiconductor, Lattice Semiconductor, STMicroelectronics и Xilinx.

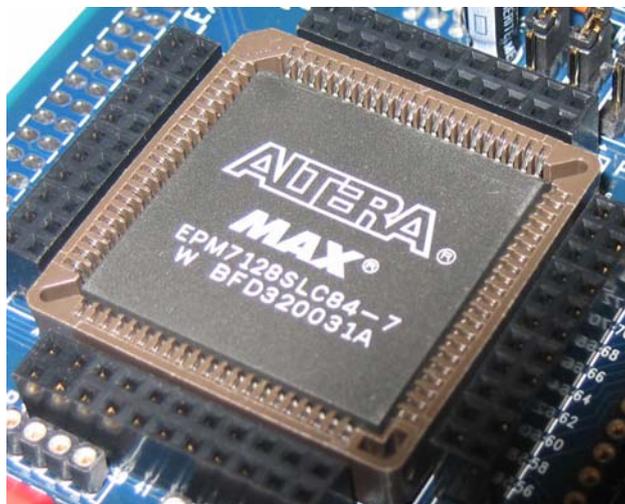


Рис. 1. Выбор производителя. Altera. Семейство MAX7000S

На протяжении многих лет компания Altera добиваясь увеличения быстродействия и числа логических МЯ, а также снижения рабочего напряжения и потребляемой мощности лишь за счет совершенствования методов изготовления и уменьшения размеров элементов схемы. Изменение в архитектуре микросхем компании за последние годы – введение внутрисхемного про-

граммирования, начиная с серий микросхем на напряжение питания 5 В и меньше. К достоинствам своих CPLD компания относит и технику многовольтного ввода/вывода (MultiVolt I/O), позволяющую подавать на выход и принимать на входе сигналы с уровнем напряжения ниже или выше рабочего напряжения ядра и не требующую применения связующей логики.

Сводная таблица по серии MAX7000S:

Table 2. MAX 7000S Device Features						
Feature	EPM7032S	EPM7064S	EPM7128S	EPM7160S	EPM7192S	EPM7256S
Usable gates	600	1,250	2,500	3,200	3,750	5,000
Macrocells	32	64	128	160	192	256
Logic array blocks	2	4	8	10	12	16
Maximum user I/O pins	36	68	100	104	124	164
t _{PD} (ns)	5	5	6	6	7.5	7.5
t _{SU} (ns)	2.9	2.9	3.4	3.4	4.1	3.9
t _{FSU} (ns)	2.5	2.5	2.5	2.5	3	3
t _{CO1} (ns)	3.2	3.2	4	3.9	4.7	4.7
f _{CNT} (MHz)	175.4	175.4	147.1	149.3	125.0	128.2

где

- **Usable gates** – логические вентили;
- **Macrocells** – макроячейки;
- **Logic array blocks** – блоки логических массивов;
- **Maximum user I/O** – выводы микросхемы под вход/выход;
- **Fcnt** – верхняя рабочая частота счётчика.

Описание стенда

Лабораторный стенд включает в себя на одной печатной плате:

- программатор ByteBlasterMV (устройство загрузки конфигурации ПЛИС фирмы Altera);
- программатор USB-Blaster (устройство загрузки конфигурации ПЛИС фирмы Altera);
- ПЛИС EPM7128SLC84-10;
- три тактовых генератора;
- 8 синих светодиодов для индикации;
- 2 двухразрядных семисегментных дисплея;
- электродвигатель;
- 8 двухцветных светодиодов;
- шаговый двигатель;
- 8 переключателей состояния;
- 8 кнопок;

- пьезоизлучатель;
- разъемы расширения (I/O);
- разъем JTAG для программирования внешних устройств;
- стабилизатор питания;
- устройство индикации питания;
- устройство индикации функции программирования.

Стенд предназначен для работы в лаборатории и наглядной демонстрации возможностей ПЛИС. Он позволяет внутрисхемно программировать, тестировать (с помощью JTAG), эмулировать работу ПЛИС.

ПЛИС EPM7128SLC84-10 установлена в панель PLCC-84(DIP).



Рис. 2. Внешний вид

На плате есть три генератора тактовой частоты.

Первый генератор с возможностью регулировки частоты от 0.5 Гц до 15 Гц.

Второй генератор с частотой от 1.5 Гц до 400 Гц, специально созданный для работы схемы управления шаговым двигателем.

Третий генератор с заданной частотой 1 МГц.

Включение необходимого генератора осуществляется переключателем.

На плате есть два программатора: ByteBlasterMV и USB-Blaster.

ByteBlasterMV это параллельный программатор. Подключается к LPT порту компьютера. Для его работы нужен источник внешнего питания. Необходим для работы в САПР MAX+PLUS II, так как там отсутствует поддержка USB программаторов.

USB-Blaster подключается к USB порту компьютера и не требует внешнего питания.

При одновременном подключении двух программаторов САПР Quartus предлагает выбрать один из них.

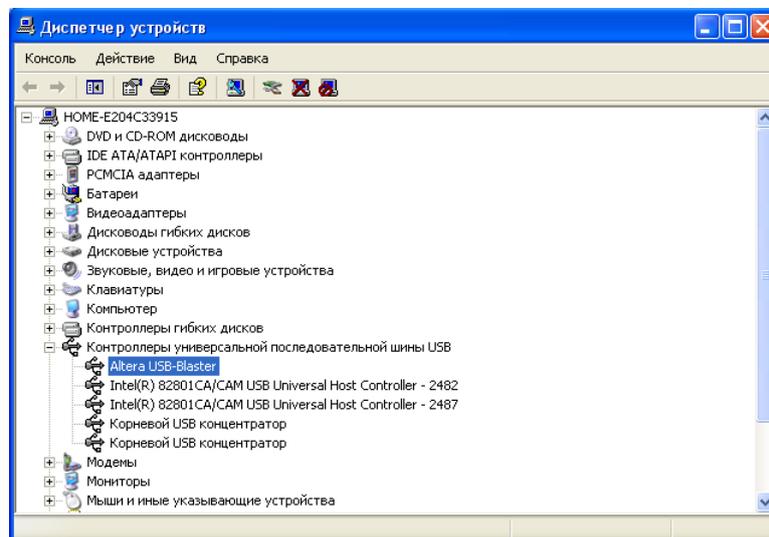
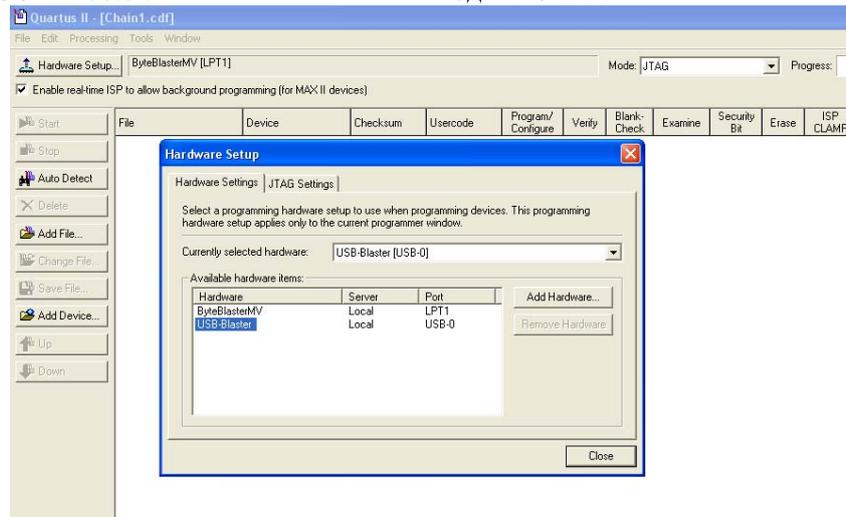


Рис. 3. Одновременное подключение двух программаторов

Таким образом, был создан стенд, где можно изучить методику создания проектов в САПР, где было бы видно весь алгоритм создания проекта от составления схемы (или ее описания на языке программирования ПЛИС) до ее загрузки в реальную микросхему.

Также это устройство может быть полезным всем кто хочет работать в САПР MAX+PLUS II или QUARTUS, научиться создавать собственные проекты и реализовать их непосредственно на ПЛИС фирмы Altera.